

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-149087

(43)Date of publication of application : 22.05.2002

(51)Int.Cl.

G09F 9/30
G02F 1/1368
G09F 9/35
H01L 21/336
H01L 29/786
H05B 33/14

(21)Application number : 2001-235469

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 02.08.2001

(72)Inventor : OTANI HISASHI
TANAKA YUKIO
SHIBATA HIROSHI
ISHIKAWA AKIRA

(30)Priority

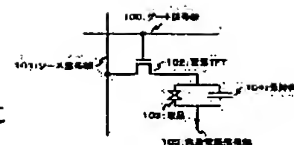
Priority number : 2000236676 Priority date : 04.08.2000 Priority country : JP

(54) DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To secure a high numerical aperture and a sufficient holding capacitance in a pixel structure of an active matrix-type display whose resolution is constantly increasing.

SOLUTION: A gate wiring and a capacitor are formed using an active layer of a pixel TFT, a light shielding film provided on the bottom of the TFT, the active layer of the TFT and a gate insulating film which is prepared as a thin film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The light-shielding film formed on the insulating front face, and the first insulator layer formed on said light-shielding film, The semi-conductor film which is formed on said first insulator layer and has a source field, a drain field, and a channel formation field, It is the display characterized by for either [said light-shielding film and] said source field or said drain field and said capacity wiring lapping in the display which has the second insulator layer formed on said semi-conductor film, and the gate electrode and capacity wiring which were formed on said second insulator layer, and being formed.

[Claim 2] It is the display characterized by the thickness of said first insulator layer being 300nm or less in claim 1.

[Claim 3] It is the display characterized by said light-shielding film having conductivity in claim 1.

[Claim 4] Either said source field connected to the pixel electrode in claim 1 or said drain field is the display characterized by having a larger area than another side.

[Claim 5] Said second insulator layer inserted into said semi-conductor film and said gate electrode in claim 1 is a display characterized by being thicker than said semi-conductor film and said second insulator layer inserted into said capacity wiring.

[Claim 6] It is the display characterized by said channel formation field being shaded by said light-shielding film in claim 1.

[Claim 7] It is the display which said semi-conductor film has a LDD field in claim 1, and is characterized by said LDD field being shaded by said light-shielding film.

[Claim 8] It is the display which said semi-conductor film has an offset field in claim 1, and is characterized by said offset field being shaded by said light-shielding film.

[Claim 9] The first light-shielding film formed on the insulating front face, and the first insulator layer formed on said first light-shielding film, The second light-shielding film formed on said first insulator layer, and the second insulator layer formed on said second light-shielding film, In the display which has the gate electrode which was formed on said second insulator layer and formed on the semi-conductor film which has a source field, a drain field, and a channel formation field, the third insulator layer formed on said semi-conductor film, and said third insulator layer One side of said second light-shielding film, and a said source field and said drain field is a display characterized by being lapped and formed.

[Claim 10] The first light-shielding film formed on the insulating front face, and the first insulator layer formed on said first light-shielding film, The second light-shielding film formed on said first insulator layer, and the second insulator layer formed on said second light-shielding film, The semi-conductor film which is formed on said second insulator layer and has a source field, a drain field, and a channel formation field, In the display which has the third insulator layer formed on said semi-conductor film, and the gate electrode and capacity wiring which were formed on said third insulator layer Either [said second light-shielding film and] said source field or said drain field and said capacity wiring are a display characterized by being lapped and formed.

[Claim 11] It is the display characterized by the thickness of said first insulator layer being 500nm or more in claim 9 or claim 10.

[Claim 12] It is the display characterized by the thickness of said second insulator layer being 300nm or

less in claim 9 or claim 10.

[Claim 13] It is the display characterized by said first light-shielding film having conductivity in claim 9 or claim 10.

[Claim 14] It is the display characterized by said second light-shielding film having conductivity in claim 9 or claim 10.

[Claim 15] It is the display characterized by for said second light-shielding film lapping in claim 9 or claim 10 with either said source field connected to the pixel electrode, or said drain field, and being formed.

[Claim 16] Either said source field connected to the pixel electrode in claim 9 or claim 10 or said drain field is the display characterized by having a larger area than another side.

[Claim 17] It is the display characterized by said first light-shielding film being a gate signal line in claim 9 or claim 10.

[Claim 18] Said third insulator layer inserted into said semi-conductor film and said gate electrode in claim 9 is a display characterized by being thicker than said semi-conductor film and said third insulator layer inserted into said capacity wiring.

[Claim 19] It is the display characterized by said channel formation field being shaded by said 1st light-shielding film and said second light-shielding film in claim 9 or claim 10.

[Claim 20] It is the display which said semi-conductor film has a LDD field in claim 9 or claim 10, and is characterized by said LDD field being shaded by said 1st light-shielding film and said second light-shielding film.

[Claim 21] It is the display which said semi-conductor film has an offset field in claim 9 or claim 10, and is characterized by said offset field being shaded by said 1st light-shielding film and said second light-shielding film.

[Claim 22] Electronic equipment characterized by using the display of a publication for any 1 term of claim 1 thru/or claim 21.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the active-matrix mold display which used the thin film transistor (henceforth TFT) for the switching element. It is related more with a detail at the pixel structure of said active-matrix mold display.

[0002]

[Description of the Prior Art] The liquid crystal display of the method (TFT actuation method) which drives using TFT as a active-matrix mold display is known. Since said liquid crystal display can control

the electrical potential difference impressed to liquid crystal for every pixel by TFT formed on transparence substrates, such as glass, its image is clear and it is widely used for OA equipment, TV, etc.

[0003] The equal circuit of 1 pixel in the liquid crystal display of a TFT actuation method is shown in drawing 1. A pixel TFT102 is arranged, the gate terminal of a pixel TFT102 is electrically connected to the gate signal line 100, one side of the input/output terminal (the source or drain terminal) of a pixel TFT102 is connected to the source signal line 101, and liquid crystal 103 and retention volume 104 are connected to the intersection of the gate signal line 100 and the source signal line 101 at another side.

[0004] If a pixel TFT102 will be in ON condition from the gate signal line 100 according to the signal outputted to a pixel TFT102, the potential of the source signal line 101 will be written in liquid crystal 103 and retention volume 104, and a charge will be accumulated. Then, even if a pixel TFT102 will be in an OFF condition, liquid crystal 103 and the charge accumulated in retention volume 104 tend to hold the written-in potential. A required value is decided by the off current of the pixel TFT102 from which retention volume 104 serves as a switching element, the holding time, parasitic capacitance, etc.

[0005] Drawing 2 is drawing showing the cross-section structure of an example of the conventional retention volume. Retention volume is formed by using as a dielectric the gate dielectric film 202 formed so that it might be inserted between them, using as an electrode capacity wiring 203 formed by the same film as the barrier layer 201 and gate wiring which were formed on the glass substrate 200. By using gate dielectric film 202 as a dielectric, even if thickness is thin, dramatically reliable good retention volume can be formed.

[0006] Furthermore, it is desirable to show a light-shielding film in a active-matrix mold display. The cross-section structure of this pixel TFT that equipped drawing 3 with the light-shielding film as an example at the lower part of Pixel TFT is shown. It piles up with the barrier layer 303 for forming a light-shielding film 301 and an insulator layer 302 on a glass substrate 300, and forming Pixel TFT on it, gate dielectric film 304, and the gate wiring 305. A light-shielding film is preventing optical leakage, and raising contrast and shading Pixel TFT, and is effective in reducing the off current of Pixel TFT. If the off current of Pixel TFT decreases, the maintenance property of an indicative data will improve and a good display will be obtained.

[0007]

[Problem(s) to be Solved by the Invention] The display quality (image quality) of the conventional active-matrix mold display is raised, and the following points are got as an approach of attaining power-saving of a display, a miniaturization, and high-reliability-ization.

[0008] Even if the area per pixel contracts in the first place with high-resolution-izing in a active-matrix mold display, it is in acquiring the capacitative element structure where sufficient retention volume is securable. If it has retention volume with each pixel able to have a big capacity, the maintenance property of an indicative data will improve and a good display will be obtained.

[0009] Even if it secures sufficient retention volume to the second in a active-matrix mold display, it is not reducing a numerical aperture. If each pixel has a high numerical aperture, the efficiency for light utilization of a back light improves, and power-saving of a display and a miniaturization can be attained.

[0010] By furthermore arranging a light-shielding film, optical leakage is prevented and contrast is raised. Moreover, by shading Pixel TFT, the off current of Pixel TFT is reduced and it leads to improvement in the maintenance property of an indicative data.

[0011] if the demand which raises the engine performance of reservation of highly-minute-izing (detailed-izing of Pixel TFT) and sufficient retention volume, a big numerical aperture, a light-shielding film, and a active-matrix mold display raises one demand, other demands will say that victim is fallen -- it is a conflicting requirement mutually. It is the technical problem of this invention to raise the engine performance of an active matrix liquid crystal display, filling these demands mutually.

[0012]

[Means for Solving the Problem] In order to fill a conflicting requirement mutually [the above], this

invention people considered forming retention volume using a light-shielding film. Furthermore, the approach of forming the retention volume which has a big capacity, without lowering a numerical aperture was proposed.

[0013] A sectional view shows the example which extends the source drain field of Pixel TFT to drawing 4 (a), and forms a light-shielding film and capacity in it. On a glass substrate 400, a light-shielding film 401 and a dielectric (the first insulator layer) 402 are formed. Area is extended and a barrier layer 403 is formed so that required retention volume can secure the direction electrically connected to the pixel electrode 409 among the source drain fields of Pixel TFT.

[0014] A light-shielding film 401 has conductivity, and it should just connect it so that it may become fixed potentials, such as COMMON potential and a power source, outside a pixel field. When large enough compared with the retention volume of a pixel, even if the capacity of a light-shielding film 401 does not connect with constant potential, potential fluctuation of a light-shielding film should fully be just small. In this way, retention volume is formed between a barrier layer 403 and a light-shielding film 401.

[0015] Drawing 4 (b) is drawing which was going to secure the retention volume which in addition to the retention volume formed by the light-shielding film 401 and the barrier layer 403 forms the capacity wiring 410 further and has a bigger capacity. Gate dielectric film 404 is formed on a barrier layer 403, and the capacity wiring 410 is formed simultaneously with the gate wiring 405. It connects with fixed potentials, such as COMMON potential and a power source, outside a pixel field, and the capacity wiring 410 forms capacity between barrier layers 403. Thus, still bigger retention volume is secured, without lowering a numerical aperture. Moreover, in drawing 4 (b), the gate dielectric film formed in the lower part of the capacity wiring 410 is formed thinly, and the device which enlarges retention volume is carried out.

[0016] Although capacity with the light-shielding film 401 arranged in the lower part is formed in both source drain fields of Pixel TFT in drawing 4, I do not want, as for the direction where the source signal line is connected, to give capacity. It is because the loads when writing a video signal in a source signal line will increase in number if capacity is formed in a source signal line. Then, like drawing 5, a light-shielding film is divided into two-layer, and the structure it was made not to form capacity is proposed as the direction where the source signal line is connected.

[0017] The example using a light-shielding film is shown in drawing 5 (a) two layers. The first light-shielding film 501 is formed on a glass substrate 500, it insulates by the insulator layer 502 and the second light-shielding film 503 is formed. The first light-shielding film 501 shades the way connected to the source signal line among the source drain fields of Pixel TFT, and he is trying not to have a barrier layer 505 and capacity in drawing 5. Furthermore, further, the first light-shielding film 501 is taking contact, and is used for the gate wiring 507 as a gate signal line.

[0018] The second light-shielding film 503 shades the way connected to the pixel electrode among the source drain fields of Pixel TFT, and forms a barrier layer 505 and capacity. The first light-shielding film 501 and second light-shielding film 503 are doubled, and it constitutes so that light may not carry out incidence to a barrier layer 505. Drawing 5 (b) forms the capacity wiring 512 in drawing 5 (a).

[0019] In addition, the part which is not shaded by the light-shielding film is seen from a substrate side, and the thing of a visible part is said. It is better for the channel section under the gate electrode which a barrier layer 505 has (channel formation field), a LDD field, and an offset field to shade at least by the first light-shielding film 501 and second light-shielding film 503.

[0020]

[Embodiment of the Invention] The production process of the displays (a liquid crystal display or EL display) using the light-shielding film of the active-matrix mold display by this invention is explained to a capacity electrode (retention volume) using a drawing.

[0021]

[Example] [Example 1] Here, the production approach of a active-matrix substrate, especially the

approach of producing the pixel section are explained using drawing 6 R> 6 – drawing 8 . The pixel section consists of a field (TFT formation field) with the pixel TFT which is TFT prepared in the pixel, and a viewing area. In addition, into this description, "electrodes" is some "wiring", and for convenience, although "wiring" and an "electrode" are used properly, "wiring" shall always be included by the language "electrode" of explanation.

[0022] In drawing 6 (A), a glass substrate and a quartz substrate can be used for a substrate 600. In addition, the thing in which the insulator layer was formed on the front face of a silicon substrate, a metal substrate, or a stainless steel substrate may be used as a substrate. If thermal resistance allows, it is also possible to use a plastic plate. And as the first light-shielding film 601, the laminating of 50nm of polish recon film and the 100nm of the tungsten silicide (W-Si) film is carried out to the shape of an island, and it is formed.

[0023] The first insulator layer 602 is formed on the first light-shielding film 601 (drawing 6 (B))). In this example, the silicon oxide film with a thickness of 100–1000nm (typically 300–500nm) is used as the first insulator layer 602. In addition, as the first insulator layer 602, the nitride and oxidation silicon nitride film containing silicon may be used. Furthermore, on the first insulator layer 602, as the second light-shielding film 603, the laminating of 50nm of polish recon film and the 100nm of the tungsten silicide (W-Si) film is carried out to the shape of an island, and it is formed.

[0024] In addition, the alloy film which combined a tantalum (Ta), titanium (Ti), molybdenum (Mo), a tungsten (W), chromium (Cr), the element chosen from silicon (Si), or said element besides the tungsten film as the first light-shielding film 601 and the second light-shielding film 602 can be used.

[0025] Next, the silicon oxide film is formed in the thickness of 10–150nm as the second insulator layer 604 (drawing 6 (C))). In addition, the second insulator layer 604 serves as the second light-shielding film 603 and a dielectric which forms capacity by the barrier layer of TFT. As the second light-shielding film 603, although he wants to attach by twice [with a thickness / of the light-shielding film of this example / of 150nm] as many 300nm or more as this, since the capacity per unit area decreases, 150nm or less at least 300nm or less is preferably good.

[0026] Subsequently, the amorphous semiconductor film (this example amorphous silicon film 605 (amorphous silicon film)) with a thickness of 10–100nm is formed by the well-known forming-membranes method on the second insulator layer 604. In addition, as amorphous semiconductor film, the compound semiconductor film with the amorphous amorphous silicon germanium film etc. can also be used besides the amorphous silicon film.

[0027] And the semi-conductor film (this example crystalline substance silicon film) 606 which includes the crystal structure according to the technique indicated by JP,7-130652,A (it corresponds to USP No. 5,643,826) is formed. A technique given [this] in an official report is a crystallization means using the catalyst element (nickel, cobalt, tin, lead, palladium, iron, two or more [a kind of] elements chosen from copper, typically nickel) which promotes crystallization on the occasion of crystallization of the amorphous silicon film.

[0028] It specifically heat-treats in the condition of having made the catalyst element holding on an amorphous silicon film front face, and the amorphous silicon film is changed to the crystalline substance silicon film. Although the technique indicated by the example 1 of this official report is used in this example, the technique indicated by the example 2 may be used. In addition, although the so-called single-crystal-silicon film and the polycrystalline silicon film are contained in the crystalline substance silicon film, the crystalline substance silicon film formed by this example is silicon film which has the grain boundary.

[0029] Although the amorphous silicon film is based also on the amount of content hydrogen, it is desirable to heat-treat at 400–550 degrees C preferably for several hours, to perform dehydrogenation treatment, and to perform the process of crystallization, using the amount of content hydrogen as less than [5atomic%]. Moreover, although the amorphous silicon film may be formed by other producing methods, such as a spatter and vacuum deposition, it is desirable to fully reduce impurity elements

contained in the film, such as oxygen and nitrogen.

[0030] Or as the approach of other crystallization, to the amorphous silicon film 605, the light (laser light) emitted from laser is irradiated, and the crystalline substance silicon film 606 may be formed. As laser, although what is necessary is just to use the excimer laser of a pulse oscillation mold or a continuous-oscillation mold, the argon laser of a continuous-oscillation mold is sufficient. Or Nd: The second harmonic of an YAG laser or Nd:YVO₄ laser, a third harmonic wave, or the fourth higher harmonic may be used. Furthermore, even if the shape of beam of laser light is a line (the shape of a rectangle is also included) and it is a rectangle-like, it is not cared about.

[0031] Moreover, light (lamp light) emitted from a lamp instead of laser light may be irradiated (henceforth lamp annealing). As a lamp light, the lamp light emitted from a halogen lamp, an infrared lamp, etc. can be used.

[0032] Thus, the process which heat-treats according to laser light or a lamp light (annealing) is called optical annealing process. Since an optical annealing process can perform elevated-temperature heat treatment in a short time, also when using the heat-resistant low substrate of a glass substrate etc., it can perform an effective heat treatment process by the high throughput. Of course, since the object is annealing, furnace annealing (it is also called heat annealing) using an electric heat furnace can also be substituted for it.

[0033] In this example, pulse oscillation mold excimer laser light was processed into the line, and the laser annealing process was performed. Using XeCl gas as excitation gas, laser annealing conditions set a room temperature and a pulse oscillation frequency to 30Hz for processing temperature, and make a laser energy consistency 250 – 500 mJ/cm² (typically 350 – 400 mJ/cm²).

[0034] The laser annealing process performed on the above-mentioned conditions has the effectiveness of reducing the defect of the already crystallized crystalline substance field etc. while crystallizing thoroughly the amorphous field which remained after heat crystallization. Therefore, this process can also be called the process which improves the crystallinity of the semi-conductor film by optical annealing, or the process which promotes crystallization of the semi-conductor film. Such effectiveness can be obtained also by optimizing the conditions of lamp annealing.

[0035] Next, a protective coat 607 is formed on the crystalline substance silicon film 606 for a next impurity addition process. A protective coat 607 uses the nitriding silicon oxide film or the silicon oxide film with a thickness of 100–200nm (preferably 130–170nm). This protective coat 607 is used in order to make possible temperature control delicate in order not to expose the crystalline substance silicon film 606 to the direct plasma in the case of an impurity addition process.

[0036] Then, the impurity element (henceforth p mold impurity element) which gives p mold through a protective coat 607 is added. Boron or a gallium can be used for the element and type target which belong to 13 groups of the periodic table typically as a p mold impurity element. This process (it is called a channel dope process) is a process for controlling a TFT threshold electrical potential difference. In addition, diboron hexahydride (B₂H₆) was detached by mass here, it dropped off and boron was added by the ion doping method which carried out plasma excitation. Of course, the ion implantation method for performing mass separation may be used.

[0037] this -- a process -- one -- x -- 10¹⁵ -- one -- x -- 10¹⁸ -- atoms/cm -- three (typically 5x10¹⁶ – 5x10¹⁷ atoms/cm³) -- concentration -- it is -- p -- a mold -- an impurity -- an element (this example boron) -- containing -- p -- a mold -- an impurity range -- (-- a --) -- 608 -- forming (drawing 6 (E)) .

[0038] Next, after removing a protective coat 607, the unnecessary part of the crystalline substance silicon film is removed, and the island-like semi-conductor film (henceforth a barrier layer) 609 is formed (drawing 6 (F)).

[0039] Subsequently, a barrier layer 609 is covered and gate dielectric film 610 is formed (drawing 6 (G)). What is necessary is just to form preferably 10–200nm of gate dielectric film 610 in the thickness of 50–150nm. In this example, two-times membrane formation of the nitriding silicon oxide film which

used N₂O and SiH₄ as the raw material by the plasma-CVD method is carried out. First, the 20nm (insulator layer) of the first nitriding silicon oxide film is formed. Subsequently, the first nitriding silicon oxide film (insulator layer) of the field which forms capacity wiring is etched. And the 60nm (insulator layer) of the second nitriding silicon oxide film is formed. If it does so, 80nm gate dielectric film (the first nitriding silicon oxide film + second oxidation silicon nitride film) will be made to a 60nm insulator layer (the second nitriding silicon oxide film) and the channel section of TFT as for the bottom of capacity wiring. That is, the thickness of the insulator layer inserted with a barrier layer and capacity wiring is 60nm, the thickness of the insulator layer inserted with the barrier layer and the gate electrode is 80nm, and thickness differs.

[0040] thickness -- 20 -- nm -- an insulator layer (gate dielectric film) -- having formed -- a part -- leaving -- a resist -- a mask -- 611 -- a bonnet -- n -- a mold -- an impurity -- an element (this example Lynn) -- adding -- high concentration -- Lynn -- containing -- n -- a mold -- an impurity range -- (-- a --) -- 612 -- forming (drawing 7 (A)) . n mold impurity range (a) 612 is performed by the ion doping method (of course, the ion implantation method may be used) for having used phosphoretted hydrogen (PH₃), and makes concentration of Lynn of this field 1x10²⁰ – 1x10²¹ atoms/cm³ (typically 2x10²⁰ – 5x10²⁰ atoms/cm³). Moreover, although the boron already added at the before process is contained in the field in which n mold impurity range (a) 612 was formed, since Lynn will be added by concentration high enough, it is not necessary to consider the effect of the boron added at the before process.

[0041] The resist mask 611 is removed and the aperture 613 for taking contact from the first light-shielding film to gate wiring is formed (drawing 7 (B)). In this example, since the first light-shielding film plays the role of a gate signal line, the contact which connects the first light-shielding film and gate wiring in the pixel section is formed.

[0042] Although not illustrated, the two-layer cascade screen of a nitriding tungsten (WN) with a thickness of 50nm and a tantalum (Ta) with a thickness of 350nm is formed as gate wiring 614 (drawing 7 (C)). Although the gate wiring 614 may be formed by the electric conduction film of a monolayer, it is desirable to consider as cascade screens, such as two-layer and three layers, if needed.

[0043] In addition, the alloy film (typically a Mo-W alloy, a Mo-Ta alloy) which combined a tantalum (Ta), titanium (Ti), molybdenum (Mo), a tungsten (W), chromium (Cr), the element chosen from silicon (Si), or said element as gate wiring 614 can be used.

[0044] Next, n mold impurity element (this example Lynn) is added in self align by using gate wiring 614 as a mask (drawing 7 (D)). In this way, it adjusts to formed n mold impurity range (b) 615 so that Lynn may be added by 5 to 10 times as high concentration (typically 1x10¹⁶ – 5x10¹⁸ atoms/cm³, typically 3x10¹⁷ – 3x10¹⁸ atoms/cm³) as the boron concentration added at the aforementioned channel dope process.

[0045] The resist mask 616 is formed, n mold impurity element (this example Lynn) is added, and n mold impurity range (C) 617 which includes Lynn in high concentration is formed (drawing 7 (E)). Also in this process, it carries out by the ion doping method (of course, the ion implantation method may be used) using phosphoretted hydrogen (PH₃), and concentration of Lynn of this field is made into 1x10²⁰ – 1x10²¹ atoms/cm³ (typically 2x10²⁰ – 5x10²⁰ atoms/cm³).

[0046] Moreover, although Lynn or boron already added at the before process is contained in the field in which n mold impurity range (C) 617 was formed, since Lynn will be added by concentration high enough, it is not necessary to consider the effect of Lynn added at the before process, or boron.

[0047] After removing the resist mask 616, the fourth insulator layer 618 is formed (drawing 8 (A)). As the fourth insulator layer 618, it forms by the insulator layer containing silicon, and the cascade screen which specifically combined a silicon nitride film, the silicon oxide film, the nitriding silicon oxide film, or them, and thickness is just 600nm – 1.5 micrometers. In this example, SiH₄, N₂O, and NH₃ are made into material gas by the plasma-CVD method as the fourth insulator layer 618, and the nitriding silicon oxide film (however, nitrogen concentration 25 – 50atomic%) of 1-micrometer thickness is used.

[0048] Then, in order to activate n mold or p mold impurity element added by each concentration, a heat treatment process is performed (drawing 8 (A)). this process -- the furnace annealing method, the laser annealing method, or rapid thermal annealing (RTA) -- it can carry out by law. Here, an activation process is performed by the furnace annealing method. 300-650 degrees C of heat-treatment are preferably performed at 400-550 degrees C into nitrogen-gas-atmosphere mind. In this example, 550 degrees C and heat treatment of 4 hours are performed.

[0049] thus -- a catalyst -- an element -- using -- crystallization -- having carried out -- a case -- amorphous -- silicon -- the film -- crystallization -- having used -- a catalyst -- an element (this example nickel) -- an arrow head -- being shown -- a direction -- moving -- the above -- drawing 7 -- (-- E --) -- a process -- forming -- having had -- high concentration -- Lynn -- containing -- n -- a mold -- an impurity range -- (-- C --) -- 617 -- capture (gettering) -- carrying out -- having . This is a phenomenon resulting from the gettering effectiveness of the metallic element by Lynn, consequently, as for the channel field 619, the concentration of said catalyst element becomes three or less (preferably three or less 1×10^{16} atoms/cm) 1×10^{17} atoms/cm.

[0050] moreover, a catalyst element segregates the field (n mold impurity range (C) formed at the process of drawing 7 (E) -- 617) used as the gettering site of a catalyst element to high concentration, and it serves as three or more (typically 1×10^{19} - 5×10^{20} atoms/cm³) 5×10^{18} atoms/cm concentration.

[0051] Furthermore, in the ambient atmosphere containing 3 - 100% of hydrogen, heat treatment of 1 - 12 hours is performed at 300-450 degrees C, and the process which hydrogenates a barrier layer is performed. This process is a process which carries out termination of the dangling bond of a semiconductor layer by the hydrogen excited thermally. As other means of hydrogenation, plasma hydrogenation (the hydrogen excited by the plasma is used) may be performed.

[0052] Then, the aperture 620 (drawing 8 (B)) and the source drain wiring 621 which arrive at the source drain field of TFT are formed (drawing 8 (C)). Moreover, although not illustrated, at this example, it formed by the cascade screen of the three-tiered structure which continued the aluminum film which includes [Ti film] this wiring for 100nm and Ti by 300nm, continued by the spatter in 150nm of Ti film, and was formed.

[0053] Next, it forms as passivation film 622 by the thickness of 50-500nm (typically 200-300nm) with a silicon nitride film, the silicon oxide film, or the nitriding silicon oxide film (drawing 8 (D)). At this time, by this example, plasma treatment is performed using the gas which contains H₂ and NH₃ grade hydrogen in advance of membranous formation, and it heat-treats after membrane formation. The hydrogen excited by this pretreatment is supplied into the fourth insulator layer 618. By heat-treating in this condition, since the hydrogen added in the fourth insulator layer 618 is spread in a lower part side while improving the membranous quality of the passivation film 622, a barrier layer can be hydrogenated effectively.

[0054] Moreover, after forming the passivation film 622, a hydrogenation process may be performed further. For example, it is good in the ambient atmosphere containing 3 - 100% of hydrogen to perform heat treatment of 1 - 12 hours at 300-450 degrees C. Or the same effectiveness is acquired even if it uses the plasma hydrogenating method. In addition, in this process, an aperture may be formed in the passivation film 622 in the location which forms the aperture for connecting source drain wiring with a pixel electrode behind.

[0055] Then, the fifth insulator layer 623 which consists of organic resin is formed in the thickness of about 1 micrometer (drawing 8 (D)). As organic resin, polyimide, an acrylic, a polyamide, polyimidoamide, BCB (benz-cyclo-butene), etc. can be used. The point for the membrane formation approach that the advantage of using the organic resin film is simple, the point that parasitic capacitance can be reduced since specific inductive capacity is low, the point of excelling in surface smoothness, etc. are got. In addition, all ingredients, such as organic resin film except having mentioned above and an organic system SiO compound, can be used for this invention. At this example, it calcinates and forms at 300 degrees C after applying to a substrate using the polyimide of the type which carries out thermal polymerization.

[0056] Next, the aperture 624 which reaches the source drain wiring 621 is formed in the fifth insulator layer 623 and the passivation film 622, and the pixel electrode 625 is formed (drawing 8 (D, E)). A metal membrane should just be used for the pixel electrode 625 when making it into the liquid crystal display of a reflective mold using the transparence electric conduction film, in making it into a transparency mold liquid crystal display. Here, in order to consider as the liquid crystal display of a transparency mold, the indium oxide tin (ITO) film is formed in the thickness of 110nm by the spatter.

[0057] In this way, in the pixel section, securing the area of a viewing area 627, the pixel TFT field 626 which becomes with the n channel mold TFT is formed, and sufficient retention volume can be obtained.

[0058] In addition, although not formed in this example, a LDD field may be formed in the crystalline substance silicon film 606 using a well-known approach. In addition, in this description, a LDD field points out a low concentration impurity range (Light-Doped-Drain field). Moreover, an offset field may be formed in the crystalline substance silicon film 606 using a well-known approach. In addition, in this description, an offset field points out the thing of the field which shifted from the gate electrode and drove in the impurity element.

[0059] [Example 2] this example explains the process which produces an active matrix liquid crystal display from the active-matrix substrate produced in the example 1. As shown in drawing 9 , the orientation film 901 is formed to the substrate of the condition of drawing 8 (E). In this example, the polyimide film was used as orientation film. Moreover, a counterelectrode 904 and the orientation film 903 are formed in the opposite substrate 905 by the transparence electric conduction film. In addition, a light filter and a screen may be formed in an opposite substrate if needed.

[0060] After forming the orientation film, it is made to carry out orientation with the fixed pre tilt angle which performs rubbing processing and has a liquid crystal molecule. And the pixel section, the active-matrix substrate with which the actuation circuit was formed, and an opposite substrate are stuck and set through a sealant, a spacer (not shown [both]), etc. according to a well-known cel **** process. Then, liquid crystal 902 is poured in among both substrates, and it closes thoroughly with encapsulant (not shown). What is necessary is just to use a well-known liquid crystal ingredient for liquid crystal. Thus, the active matrix liquid crystal display shown in drawing 9 is completed.

[0061] Next, the configuration of this active matrix liquid crystal display is explained using the perspective view of drawing 10 . In addition, since drawing 10 matches with cross-section structural drawing of drawing 6 - drawing 9 , the common sign is used for it. A active-matrix substrate consists of the pixel section 1001 formed on the glass substrate 600, a gate signal actuation circuit 1003, and a data (source) signal actuation circuit 1002. A pixel TFT1008 is the n channel mold TFT, and the actuation circuit prepared on the outskirts is constituted on the basis of the CMOS circuit. The gate signal actuation circuit 1003 and the data signal actuation circuit 1002 are connected to the pixel section 1001 with the gate wiring 614 and the source drain wiring 621 (source signal line), respectively. Moreover, the connection wiring 1006 and 1007 from the input terminal 1005 to which FPC1004 was connected to the input/output terminal of an actuation circuit is formed.

[0062] In addition, this example can be freely combined with an example 1.

[0063] [Example 3] this example explains the example which produced EL (electroluminescence) display using this invention. In addition, drawing 11 is the plan of EL display of this invention, and drawing 12 is the sectional view.

[0064] In drawing 11 and 12, for 4001, as for the pixel section and 4003, a substrate and 4002 are [a source signal actuation circuit and 4004] gate signal actuation circuits, and each actuation circuit results in FPC (flexible print circuit)4006 through the connection wiring 4005, and is connected to an external instrument.

[0065] At this time, as the pixel section 4002, the source signal actuation circuit 4003, and the gate signal actuation circuit 4004 are surrounded, the 1st sealant 4101, the covering material 4102, a filler 4103, and the 2nd sealant 4104 are formed.

[0066] Drawing 12 is equivalent to the sectional view which cut drawing 11 by A-A', and the pixel

TFT(however, TFT which controls current to EL element here is illustrated) 4202 contained in the actuation TFT(however, n channel mold TFT and p channel mold TFT are illustrated here) 4201 and the pixel section 4002 which are contained in the source signal actuation circuit 4003 is formed on the substrate 4001.

[0067] In this example, a pixel TFT4202 is produced using the capacitive element structure of this invention. That is, TFT of the same structure as drawing 8 (E) is used for a pixel TFT4202.

[0068] On actuation TFT4201 and a pixel TFT4202, the interlayer insulation film (flattening film) 4301 which becomes with a resin ingredient is formed, and the pixel electrode 4302 linked to one side and the electric target of a source drain field of a pixel TFT4202 is formed on it. As a pixel electrode 4302, the large transparence electric conduction film of a work function is used. As transparence electric conduction film, the compound of indium oxide and the tin oxide or the compound of indium oxide and a zinc oxide can be used.

[0069] And an insulator layer 4303 is formed on the pixel electrode 4302, and, as for the insulator layer 4303, opening is formed on the pixel electrode 4302. In this opening, the EL layer 4304 is formed on the pixel electrode 4302. The EL layer 4304 can use a well-known organic electroluminescence ingredient or inorganic EL ingredient. Moreover, whichever may be used although there are a low-molecular system (monomer system) ingredient and a macromolecule system (polymer system) ingredient as organic electroluminescence ingredient.

[0070] The formation approach of the EL layer 4304 should just use a well-known technique. Moreover, what is necessary is just to make structure of EL layer into a laminated structure or monolayer structure, combining freely a hole-injection layer, an electron hole transporting bed, a luminous layer, an electronic transporting bed, or an electron injection layer.

[0071] On the EL layer 4304, the cathode 4305 which consists of electric conduction film (the electric conduction film which uses aluminum, copper, or silver as a principal component typically, or cascade screen of them and other electric conduction film) which has protection-from-light nature is formed. Moreover, as for the moisture which exists in the interface of cathode 4305 and the EL layer 4304, or oxygen, eliminating as much as possible is desirable. Therefore, the device of carrying out continuation membrane formation of both in a vacuum, or forming the EL layer 4304 in nitrogen or a rare-gas ambient atmosphere, and forming cathode 4305, making neither oxygen nor moisture touched is required. At this example, the above membrane formation is enabled by using the membrane formation equipment of a multi chamber method (cluster tool method).

[0072] And cathode 4305 is electrically connected to the connection wiring 4005 in the field shown by 4306. The connection wiring 4005 is wiring for giving a predetermined electrical potential difference to cathode 4305, and is electrically connected to FPC4006 through the conductive ingredient 4307.

[0073] The EL element which consists of the pixel electrode 4302, an EL layer 4304, and cathode 4305 as mentioned above is formed. This EL element is surrounded by the covering material 4102 stuck on the substrate 4001 by the 1st sealant 4101, and is enclosed by the filler 4103.

[0074] In addition, in this description, an EL element (light emitting device) is taken as the structure where EL layer (organic compound layer) was pinched between the electrodes (an anode plate and cathode) of a couple. An organic compound layer is producible using a well-known luminescent material. Moreover, although there are monolayer structure and two structures of a laminated structure in an organic compound layer, this invention may use which structure. In addition, although the luminescence in an organic compound layer has luminescence at the time of returning from a singlet excitation state to a ground state (fluorescence), and luminescence at the time of returning from a triplet excitation state to a ground state (phosphorescence), this invention is applicable also to the luminescence equipment which used which luminescence.

[0075] As covering material 4102, a glass plate, a metal plate (typically stainless plate), a ceramic plate, an FRP (Fiberglass Reinforced Plastics) plate, a PVF (polyvinyl fluoride) film, a Mylar film, polyester film, or an acrylic film can be used. Moreover, the sheet of the structure which sandwiched aluminium foil

with the PVF film or the Mylar film can also be used.

[0076] However, covering material must be transparent when the direction of a light emission from an EL element goes to a covering material side. In that case, transparency matter like a glass plate, a plastic sheet, polyester film, or an acrylic film is used.

[0077] Moreover, as a filler 4103, ultraviolet-rays hardening resin or heat-curing resin can be used, and PVC (polyvinyl chloride), an acrylic, polyimide, an epoxy resin, silicone resin, and PVB (polyvinyl BUCHIRARU) or EVA (ethylene vinyl acetate) can be used. If the hygroscopic matter (preferably barium oxide) is prepared in the interior of this filler 4103, degradation of an EL element can be controlled.

[0078] Moreover, a spacer may be made to contain in a filler 4103. At this time, if a spacer is formed with the barium oxide, it is possible to give hygroscopicity to the spacer itself. Moreover, when a spacer is formed, it is also effective to prepare the resin film on cathode 4305 as a buffer layer which eases the pressure from a spacer.

[0079] Moreover, the connection wiring 4005 is electrically connected to FPC4006 through the conductive ingredient 4307. The connection wiring 4005 tells the signal sent to the pixel section 4002, the source signal actuation circuit 4003, and the gate signal actuation circuit 4004 to FPC4006, and is connected to an external instrument and an electric target by FPC4006.

[0080] Moreover, in this example, the 2nd sealant 4104 is formed so that the disclosure section of the 1st sealant 4101 and a part of FPC4006 may be covered, and it has structure which intercepts an EL element from the open air thoroughly. In this way, it becomes EL display which has the cross-section structure of drawing 12. In addition, EL display of this example may be produced combining the configuration of an example 1.

[0081] In addition, this example can be freely combined with an example 1 thru/or an example 2.

[0082] In addition to the lower light-shielding film prepared in the lower part of a transistor, [example 4] this example explains the cross-section structure of a display where the up light-shielding film was prepared, using drawing 14.

[0083] In drawing 14, 1910 is a substrate which has an insulating front face. A glass substrate, a quartz substrate, etc. can be used for a substrate 1910. A light-shielding film 1906 is formed on a substrate 1910. In addition, a light-shielding film 1906 forms the alloy film which combined a tantalum (Ta), titanium (Ti), molybdenum (Mo), a tungsten (W), chromium (Cr), the element chosen from silicon (Si), or said element by the well-known approach. Moreover, a light-shielding film 1906 has the function which shades a transistor.

[0084] Subsequently, the first insulator layer 1911 is formed on a light-shielding film 1906, and the semi-conductor film 1907 is formed on this first insulator layer 1911. In addition, in this example, the silicon oxide film was formed in the thickness of 300nm as the first insulator layer 1911. Moreover, the semi-conductor film 1907 was formed by the well-known approach using the well-known ingredient.

[0085] Subsequently, gate dielectric film 1912 is formed on the semi-conductor film 1907. And on gate dielectric film 1912, the gate electrode 1908 and the capacity wiring 1909 are formed. In addition, in this example, the overlapping field of a light-shielding film 1906, the semi-conductor film 1907, and the capacity wiring 1909 is equivalent to retention volume.

[0086] 1913 is the second insulator layer. In this example, the silicon oxide film was formed as the second insulator layer 1913. And a contact hole is formed in gate dielectric film 1912 and the second insulator layer 1913, and source wiring 1917 and the drain wiring 1918 are formed.

[0087] 1914 is the third insulator layer. In this example, the silicon oxide film was formed as the third insulator layer 1913. On the third insulator layer 1913, the up light-shielding film 1916 formed using the well-known ingredient is formed. The up light-shielding film 1916 is formed using a well-known ingredient, and has the function which shades a transistor.

[0088] 1920 is the fourth insulator layer. Subsequently, a contact hole is formed in the third insulator layer 1914 and the fourth insulator layer 1920, and the pixel electrode 1919 is formed.

[0089] As shown in drawing 14, the pixel electrode 1919 is electrically connected with the drain wiring

1918. In addition, in this example, this invention may not be limited to this but the pixel electrode 1919 may be connected with source wiring 1917, although it connects with the drain wiring 1918. In addition, either the source field connected to the pixel electrode or a drain field has an area larger than another side.

[0090] 1901 is the orientation film. In this example, the polyimide film was used as orientation film 1901. Moreover, a counterelectrode 1904 and the orientation film 1903 are formed in the opposite substrate 1905 by the transference electric conduction film. In addition, a light filter and a screen may be formed in the opposite substrate 1905 if needed.

[0091] After forming the orientation film 1903, it is made to carry out orientation with the fixed pre tilt angle which performs rubbing processing and has a liquid crystal molecule. And the pixel section, the active-matrix substrate with which the actuation circuit was formed, and an opposite substrate are stuck and set through a sealant, a spacer (not shown [both]), etc. according to a well-known cell **** process. Then, liquid crystal 1902 is poured in among both substrates, and it closes thoroughly with encapsulant (not shown). Liquid crystal 1902 should just use a well-known liquid crystal ingredient. Thus, the active matrix liquid crystal display shown in drawing 14 is completed.

[0092] In addition, this example can be freely combined with an example 1 thru/or an example 3.

[0093] The active-matrix mold display of [example 5] this invention can be used as a display of an electric appliance. As such an electric appliance, the picture reproducer equipped with a video camera, a digital camera, a projector, Projection TV, a goggles mold display (head mount display), a navigation system, a sound system, a note type personal computer, a game device, Personal Digital Assistants (a mobile computer, a cellular phone, a handheld game machine, or digital book), and a record medium etc. is mentioned. The example of these electric appliances is shown in drawing 13.

[0094] Drawing 13 (A) is a cellular phone and consists of a body 2001, the voice output section 2002, the voice input section 2003, a display 2004, an actuation switch 2005, and an antenna 2006. The active-matrix mold display of this invention can be used for a display 2004.

[0095] Drawing 13 (B) is a video camera and consists of a body 2101, a display 2102, the voice input section 2103, an actuation switch 2104, a dc-battery 2105, and the television section 2106. The active-matrix mold display of this invention can be used for a display 2102.

[0096] Drawing 13 (C) is a mobile computer (Mobile computer), and consists of a body 2201, the camera section 2202, the television section 2203, an actuation switch 2204, and a display 2205. The active-matrix mold display of this invention can be used for a display 2205.

[0097] Drawing 13 (D) is a goggles mold display, and consists of a body 2301, a display 2302, and the arm section 2303. The active-matrix mold display of this invention can be used for a display 2302.

[0098] Drawing 13 (E) is a rear projector (projection TV), and consists of a body 2401, the light source 2402, a liquid crystal display 2403, a polarization beam splitter 2404, reflectors 2405 and 2406, and a screen 2407. This invention can be used for a liquid crystal display 2403.

[0099] Drawing 13 (F) is a front projector and consists of a body 2501, the light source 2502, a liquid crystal display 2503, optical system 2504, and a screen 2505. This invention can be used for a liquid crystal display 2503.

[0100] As mentioned above, the applicability of this invention is very wide, and applying to the electric appliance of all fields is possible. Moreover, even if the electric appliance of this example uses the configuration which consists of combination like an example 1 - 4 throats, it is realizable.

[0101]

[Effect of the Invention] Since sufficient retention volume is securable using a light-shielding film even if an area of 1 pixel contracts if the active-matrix mold display which has the retention volume using this invention is produced, display grace can be improved. Simultaneously, the quality of the electric appliance using the active-matrix mold display using this invention as a display can also be raised.

[0102]

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the equal circuit of 1 pixel of an active matrix liquid crystal display.

[Drawing 2] The sectional view showing the conventional retention volume structure.

[Drawing 3] Drawing which equipped the lower part of Pixel TFT with the light-shielding film

[Drawing 4] Drawing showing the structure of the retention volume in this invention.

[Drawing 5] Drawing showing the structure of the retention volume in this invention.

[Drawing 6] Drawing showing the making process of the pixel section of an example 1.

[Drawing 7] Drawing showing the making process of the pixel section of an example 1.

[Drawing 8] Drawing showing the making process of the pixel section of an example 1.

[Drawing 9] The sectional view of an active matrix liquid crystal display.

[Drawing 10] The perspective view of an active matrix liquid crystal display.

[Drawing 11] Drawing showing the configuration of a active-matrix mold EL display.

[Drawing 12] The sectional view showing the configuration of a active-matrix mold EL display.

[Drawing 13] Drawing showing an example of an electric appliance.

[Drawing 14] The sectional view of a active-matrix mold display.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-149087

(P2002-149087A)

(43) 公開日 平成14年 5 月22日 (2002. 5. 22)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 9 F 9/30	3 3 8 3 6 5	G 0 9 F 9/30	3 3 8 2 H 0 9 2 3 6 5 Z 3 K 0 0 7
G 0 2 F 1/1368		G 0 2 F 1/1368	5 C 0 9 4
G 0 9 F 9/35		G 0 9 F 9/35	5 F 1 1 0
H 0 1 L 21/336		H 0 5 B 33/14	A
審査請求 未請求 請求項の数22 O L (全 14 頁) 最終頁に続く			

(21) 出願番号 特願2001-235469 (P2001-235469)

(22) 出願日 平成13年 8 月 2 日 (2001. 8. 2)

(31) 優先権主張番号 特願2000-236676 (P2000-236676)

(32) 優先日 平成12年 8 月 4 日 (2000. 8. 4)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 田中 幸夫

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 柴田 寛

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

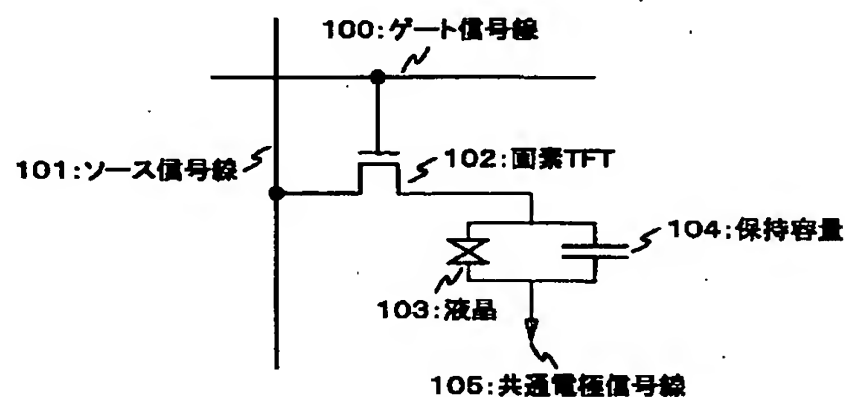
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 ますます微細化するアクティブマトリクス型表示装置の画素構造において、高い開口率と十分な保持容量を確保する。

【解決手段】 画素 T F T の活性層と画素 T F T の下部に設けた遮光膜、画素 T F T の活性層と薄膜化したゲート絶縁膜を使ってゲート配線と容量を形成する。



(2)

【特許請求の範囲】

【請求項1】絶縁表面上に形成された遮光膜と、
前記遮光膜上に形成された第一絶縁膜と、
前記第一絶縁膜上に形成され、ソース領域、ドレイン領域及びチャネル形成領域を有する半導体膜と、
前記半導体膜上に形成された第二絶縁膜と、
前記第二絶縁膜上に形成されたゲート電極及び容量配線とを有する表示装置において、
前記遮光膜と、前記ソース領域及び前記ドレイン領域の一方と、前記容量配線とは重なって形成されていることを特徴とする表示装置。

【請求項2】請求項1において、前記第一絶縁膜の厚さは300nm以下であることを特徴とする表示装置。

【請求項3】請求項1において、前記遮光膜は、導電性を有することを特徴とする表示装置。

【請求項4】請求項1において、画素電極に接続された前記ソース領域及び前記ドレイン領域の一方は、他方よりも大きい面積を有することを特徴とする表示装置。

【請求項5】請求項1において、前記半導体膜と前記ゲート電極に挟まれた前記第二絶縁膜は、前記半導体膜と前記容量配線に挟まれた前記第二絶縁膜よりも厚いことを特徴とする表示装置。

【請求項6】請求項1において、前記チャネル形成領域は、前記遮光膜により遮光されることを特徴とする表示装置。

【請求項7】請求項1において、前記半導体膜はLDD領域を有し、前記LDD領域は前記遮光膜により遮光されることを特徴とする表示装置。

【請求項8】請求項1において、前記半導体膜はオフセット領域を有し、前記オフセット領域は前記遮光膜により遮光されることを特徴とする表示装置。

【請求項9】絶縁表面上に形成された第一遮光膜と、
前記第一遮光膜上に形成された第一絶縁膜と、
前記第一絶縁膜上に形成された第二遮光膜と、
前記第二遮光膜上に形成された第二絶縁膜と、
前記第二絶縁膜上に形成され、ソース領域、ドレイン領域及びチャネル形成領域を有する半導体膜と、
前記半導体膜上に形成された第三絶縁膜と、
前記第三絶縁膜上に形成されたゲート電極とを有する表示装置において、
前記第二遮光膜と、前記ソース領域及び前記ドレイン領域の一方は重なって形成されていることを特徴とする表示装置。

【請求項10】絶縁表面上に形成された第一遮光膜と、
前記第一遮光膜上に形成された第一絶縁膜と、
前記第一絶縁膜上に形成された第二遮光膜と、
前記第二遮光膜上に形成された第二絶縁膜と、
前記第二絶縁膜上に形成され、ソース領域、ドレイン領域及びチャネル形成領域を有する半導体膜と、
前記半導体膜上に形成された第三絶縁膜と、

2

前記第三絶縁膜上に形成されたゲート電極及び容量配線とを有する表示装置において、
前記第二遮光膜と、前記ソース領域及び前記ドレイン領域の一方と、前記容量配線とは重なって形成されていることを特徴とする表示装置。

【請求項11】請求項9または請求項10において、前記第一絶縁膜の厚さは500nm以上であることを特徴とする表示装置。

【請求項12】請求項9または請求項10において、前記第二絶縁膜の厚さは300nm以下であることを特徴とする表示装置。

【請求項13】請求項9または請求項10において、前記第一遮光膜は、導電性を有することを特徴とする表示装置。

【請求項14】請求項9または請求項10において、前記第二遮光膜は、導電性を有することを特徴とする表示装置。

【請求項15】請求項9または請求項10において、前記第二遮光膜は、画素電極に接続された前記ソース領域及び前記ドレイン領域の一方のみと重なって形成されていることを特徴とする表示装置。

【請求項16】請求項9または請求項10において、画素電極に接続された前記ソース領域及び前記ドレイン領域の一方は、他方よりも大きい面積を有することを特徴とする表示装置。

【請求項17】請求項9または請求項10において、前記第一遮光膜は、ゲート信号線であることを特徴とする表示装置。

【請求項18】請求項9において、前記半導体膜と前記ゲート電極に挟まれた前記第三絶縁膜は、前記半導体膜と前記容量配線に挟まれた前記第三絶縁膜よりも厚いことを特徴とする表示装置。

【請求項19】請求項9または請求項10において、前記チャネル形成領域は、前記第1遮光膜及び前記第二遮光膜により遮光されることを特徴とする表示装置。

【請求項20】請求項9または請求項10において、前記半導体膜はLDD領域を有し、前記LDD領域は前記第1遮光膜及び前記第二遮光膜により遮光されることを特徴とする表示装置。

【請求項21】請求項9または請求項10において、前記半導体膜はオフセット領域を有し、前記オフセット領域は前記第1遮光膜及び前記第二遮光膜により遮光されることを特徴とする表示装置。

【請求項22】請求項1乃至請求項21のいずれか一項に記載の表示装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（以下、TFTという）をスイッチング素子に用いたアクティブマトリクス型表示装置に関する。より詳細に

(3)

3

は、前記アクティブマトリクス型表示装置の画素構造に関する。

【0002】

【従来の技術】アクティブマトリクス型表示装置として、TFTを用いて駆動を行う方式（TFT駆動方式）の液晶表示装置が知られている。前記液晶表示装置は、ガラス等の透明基板上に形成されたTFTにより、液晶へ印加する電圧を1画素ごとに制御できるため、画像が鮮明であり、OA機器やTV等に広く用いられている。

【0003】図1に、TFT駆動方式の液晶表示装置における1画素の等価回路を示す。ゲート信号線100とソース信号線101との交差部には、画素TFT102が配置され、画素TFT102のゲート端子はゲート信号線100に電氣的に接続し、画素TFT102の入出力端子（ソースまたはドレイン端子）の一方はソース信号線101に接続し、もう一方には液晶103と保持容量104が接続されている。

【0004】ゲート信号線100から画素TFT102に出力される信号に応じて画素TFT102がON状態になると、ソース信号線101の電位は、液晶103と保持容量104に書き込まれ、電荷が蓄積される。その後、画素TFT102がOFF状態になっても、液晶103と保持容量104に蓄積された電荷が、書き込まれた電位を保持しようとする。保持容量104は、スイッチング素子となる画素TFT102のoff電流、保持時間、寄生容量等によって必要な値が決まる。

【0005】図2は、従来の保持容量の一例の断面構造を示す図である。ガラス基板200上に形成された活性層201およびゲート配線と同一膜で形成された容量配線203を電極として、その間に挟まれるように形成されたゲート絶縁膜202を誘電体として、保持容量を形成している。ゲート絶縁膜202を誘電体として用いることにより、膜厚が薄くても非常に信頼性の高い良質の保持容量を形成することができる。

【0006】さらに、アクティブマトリクス型表示装置には遮光膜があることが望ましい。図3に、一例として画素TFTの下部に遮光膜を備えた該画素TFTの断面構造を示す。ガラス基板300上に遮光膜301、絶縁膜302を形成し、その上に画素TFTを形成するための活性層303、ゲート絶縁膜304、ゲート配線305、と重ねていく。遮光膜は光漏れを防いでコントラストを向上させ、また画素TFTを遮光することで、画素TFTのoff電流を低減する効果がある。画素TFTのoff電流が減少すると、表示データの保持特性が向上し、良好な表示が得られる。

【0007】

【発明が解決しようとする課題】従来のアクティブマトリクス型表示装置の表示品質（画像品質）を向上させ、表示装置の省電力化、小型化、高信頼性化を達成する方法として、以下の点があげられる。

4

【0008】第一に、アクティブマトリクス型表示装置において、高解像度化に伴い1画素あたりの面積が縮小しても、十分な保持容量を確保できる容量素子構造を得ることにある。各画素が大きな容量を有することが可能な保持容量を備えると、表示データの保持特性が向上し、良好な表示が得られる。

【0009】第二に、アクティブマトリクス型表示装置において、十分な保持容量を確保しても開口率を低下させないことである。各画素が高い開口率を持つと、バックライトの光利用効率が向上し、表示装置の省電力化、小型化が達成できる。

【0010】さらに遮光膜を配置することで、光漏れを防いでコントラストを向上させる。また、画素TFTを遮光することで、画素TFTのoff電流を低減し、表示データの保持特性の向上につながる。

【0011】高精細化（画素TFTの微細化）、十分な保持容量の確保、大きな開口率、遮光膜、とアクティブマトリクス型表示装置の性能を向上させる要求は、一つの要求を高めると他の要求が犠牲になるという、互いに相反する要求である。これらの要求を互いに満たしながら、アクティブマトリクス型液晶表示装置の性能を向上させることが、本発明の課題である。

【0012】

【課題を解決するための手段】前記の互いに相反する要求を満たすために、本発明人は遮光膜を使って保持容量を形成することを考えた。また、さらに大きな容量を有する保持容量を開口率をさげることなく形成する方法を提案した。

【0013】図4（a）に、画素TFTのソース・ドレイン領域を延長して、遮光膜と容量を形成する例を断面図で示す。ガラス基板400上に、遮光膜401、誘電体（第一絶縁膜）402を形成する。画素TFTのソース・ドレイン領域のうち、画素電極409に電氣的に接続されている方を、必要な保持容量が確保できるように面積を広げて活性層403を形成する。

【0014】遮光膜401は導電性を有し、画素領域の外でCOMMON電位や電源など、一定の電位になるように接続すればよい。遮光膜401の容量が画素の保持容量に比べて十分に大きい場合など、定電位に接続しなくても、遮光膜の電位変動が十分に小さければよい。こうして活性層403と遮光膜401の間で保持容量が形成される。

【0015】図4（b）は、遮光膜401と活性層403で形成された保持容量に加えて、さらに容量配線410を形成し、より大きな容量を有する保持容量を確保しようとした図である。活性層403の上にゲート絶縁膜404を形成し、ゲート配線405と同時に容量配線410を形成する。容量配線410は、画素領域の外でCOMMON電位や電源など、一定の電位に接続され、活性層403との間で容量を形成する。このようにして、

50

(4)

5

開口率を下げることなく、さらに大きな保持容量を確保している。また図4 (b) では、容量配線410の下部に形成されたゲート絶縁膜を薄く形成し、保持容量を大きくする工夫をしている。

【0016】図4では、画素TF Tのソース・ドレイン領域の両方に下部に配置した遮光膜401との容量が形成されるが、ソース信号線が接続されている方とは、容量をもたせたくない。ソース信号線に容量が形成されると、ソース信号線にビデオ信号を書き込む時の負荷が増えてしまうからである。そこで図5のように、遮光膜を2層にわけ、ソース信号線が接続されている方とは、容量を形成しないようにした構造を提案する。

【0017】図5 (a) に、遮光膜を2層使った例を示す。ガラス基板500上に第一の遮光膜501を形成し、絶縁膜502で絶縁して、第二の遮光膜503を形成する。図5では、第一の遮光膜501は画素TF Tのソース・ドレイン領域のうち、ソース信号線に接続されているほうを遮光し、活性層505と容量をもたないようにしている。さらに、第一の遮光膜501は、さらにゲート配線507にコンタクトをとることで、ゲート信号線として使用している。

【0018】第二の遮光膜503は、画素TF Tのソース・ドレイン領域のうち、画素電極に接続されているほうを遮光し、活性層505と容量を形成する。第一の遮光膜501と第二の遮光膜503を合わせて、活性層505に光が入射しないように構成する。図5 (b) は、図5 (a) に容量配線512を設けたものである。

【0019】なお、遮光膜で遮光されていない部分というのは、基板側から見て、見える部分のことをいう。第一の遮光膜501と第二の遮光膜503により、活性層505が有するゲート電極下のチャネル部（チャネル形成領域）、LDD領域、オフセット領域は少なくとも遮光したほうがよい。

【0020】

【発明の実施の形態】本発明による、アクティブマトリクス型表示装置の遮光膜を容量電極（保持容量）に使った表示装置（液晶表示装置あるいはEL表示装置等）の作製プロセスについて、図面を用いて説明する。

【0021】

【実施例】【実施例1】ここではアクティブマトリクス基板の作製方法、特に画素部を作製する方法について、図6～図8を用いて説明する。画素部は、画素に設けられたTF Tである画素TF Tのある領域（TF T形成領域）と、表示領域とからなる。なお、本明細書中において「電極」とは「配線」の一部であり、説明の便宜上、「配線」と「電極」とを使い分けるが、「電極」という言葉に「配線」は常に含まれているものとする。

【0022】図6 (A) において、基板600にはガラス基板や石英基板を使用することができる。その他にもシリコン基板、金属基板またはステンレス基板の表面に

6

絶縁膜を形成したものを基板として用いてもよい。耐熱性が許せば、プラスチック基板を用いることも可能である。そして、第一遮光膜601として、ポリシリコン膜50nmとタングステンシリサイド (W-Si) 膜100nmとを島状に積層して形成する。

【0023】第一遮光膜601上に第一絶縁膜602を形成する（図6 (B) ）。本実施例では、第一絶縁膜602として100～1000nm（代表的には300～500nm）の厚さの酸化シリコン膜を用いる。なお、第一絶縁膜602としては、シリコンを含む窒化膜や酸化窒化シリコン膜を用いてもよい。さらに、第一絶縁膜602上に第二遮光膜603として、ポリシリコン膜50nmとタングステンシリサイド (W-Si) 膜100nmとを島状に積層して形成する。

【0024】なお、第一遮光膜601、第二遮光膜602としては、タングステン膜以外にも、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、シリコン (Si) から選ばれた元素、または前記元素を組み合わせた合金膜を用いることができる。

【0025】次に、第二絶縁膜604として、酸化シリコン膜を10～150nmの厚さに形成する（図6 (C) ）。なお、第二絶縁膜604は、第二遮光膜603とTF Tの活性層で容量を形成する誘電体となる。第二遮光膜603としては、本実施例の遮光膜の厚さ150nmの2倍の300nm以上でつけたいところであるが、単位面積当たりの容量が少なくなってしまうので、少なくとも300nm以下、好ましくは150nm以下がよい。

【0026】次いで、第二絶縁膜604の上に10～100nmの厚さの、非晶質半導体膜（本実施例では非晶質シリコン膜（アモルファスシリコン膜）605）を公知の成膜法で形成する。なお、非晶質半導体膜としては、非晶質シリコン膜以外にも、非晶質シリコンゲルマニウム膜などの非晶質の化合物半導体膜を用いることもできる。

【0027】そして、特開平7-130652号公報 (USP 5, 643, 826号に対応) に記載された技術に従って結晶構造を含む半導体膜（本実施例では結晶質シリコン膜）606を形成する。同公報記載の技術は、非晶質シリコン膜の結晶化に際して、結晶化を助長する触媒元素（ニッケル、コバルト、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複数の元素、代表的にはニッケル）を用いる結晶化手段である。

【0028】具体的には、非晶質シリコン膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶質シリコン膜を結晶質シリコン膜に変化させるものである。本実施例では同公報の実施例1に記載された技術を用いるが、実施例2に記載された技術を用いてもよい。なお、結晶質シリコン膜にはいわゆる単結晶シリコン膜も多結

(5)

7

晶シリコン膜も含まれるが、本実施例で形成される結晶質シリコン膜は結晶粒界を有するシリコン膜である。

【0029】非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550℃で数時間加熱処理して脱水素処理を行い、含有水素量を5 atomic %以下として結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作製法で形成してもよいが、膜中に含まれる酸素、窒素などの不純物元素を十分に低減させておくことが望ましい。

【0030】又は他の結晶化の方法として、非晶質シリコン膜605に対して、レーザーから発する光（レーザー光）を照射して結晶質シリコン膜606を形成してもよい。レーザーとしては、パルス発振型または連続発振型のエキシマレーザーを用いればよいが、連続発振型のアルゴンレーザーでもよい。または、Nd:YAGレーザーもしくはNd:YVO₄レーザーの第二高調波、第三高調波または第四高調波を用いてもよい。さらに、レーザー光のビーム形状は線状（長形状も含む）であっても矩形状であってもかまわない。

【0031】また、レーザー光のかわりにランプから発する光（ランプ光）を照射（以下、ランプアニールという）してもよい。ランプ光としては、ハロゲンランプ、赤外線ランプ等から発するランプ光を用いることができる。

【0032】このようにレーザー光またはランプ光により熱処理（アニール）を施す工程を光アニール工程という。光アニール工程は短時間で高温熱処理が行えるため、ガラス基板等の耐熱性の低い基板を用いる場合にも効果的な熱処理工程を高いスループットで行うことができる。もちろん、目的はアニールであるので電熱炉を用いたファーネスアニール（熱アニールともいう）で代用することもできる。

【0033】本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行った。レーザーアニール条件は、励起ガスとしてXeClガスをを用い、処理温度を室温、パルス発振周波数を30 Hzとし、レーザーエネルギー密度を250～500 mJ/cm²（代表的には350～400 mJ/cm²）とする。

【0034】上記条件で行われるレーザーアニール工程は、熱結晶化後に残存した非晶質領域を完全に結晶化するとともに、既に結晶化された結晶質領域の欠陥等を低減する効果を有する。そのため、本工程は光アニールにより半導体膜の結晶性を改善する工程、または半導体膜の結晶化を助長する工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。

【0035】次に、結晶質シリコン膜606上に、後の不純物添加工程のために保護膜607を形成する。保護膜607は100～200 nm（好ましくは130～1

8

70 nm）の厚さの窒化酸化シリコン膜または酸化シリコン膜を用いる。この保護膜607は不純物添加工程の際に結晶質シリコン膜606が直接プラズマにさらされないようにするためと、微妙な温度制御を可能にするために用いられる。

【0036】続いて、保護膜607を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には周期表の13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）は、TFTしきい値電圧を制御するための工程である。なお、ここではジボラン（B₂H₆）を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加した。もちろん、質量分離を行うイオンインプランテーション法を用いてもよい。

【0037】この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm³（代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm³）の濃度で、p型不純物元素（本実施例ではボロン）を含むp型不純物領域（a）608を形成する（図6（E））。

【0038】次に、保護膜607を除去した後、結晶質シリコン膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）609を形成する（図6（F））。

【0039】次いで、活性層609を覆って、ゲート絶縁膜610を形成する（図6（G））。ゲート絶縁膜610は、10～200 nm、好ましくは50～150 nmの厚さに形成すればよい。本実施例では、プラズマCVD法でN₂OとSiH₄を原料とした窒化酸化シリコン膜を二回成膜する。まず、第一窒化酸化シリコン膜（絶縁膜）を20 nm成膜する。次いで、容量配線を形成する領域の第一窒化酸化シリコン膜（絶縁膜）をエッチングする。そして、第二窒化酸化シリコン膜（絶縁膜）を60 nm成膜する。そうすると、容量配線の下は60 nmの絶縁膜（第二窒化酸化シリコン膜）、TFTのチャネル部には80 nmのゲート絶縁膜（第一窒化酸化シリコン膜+第二酸化窒化シリコン膜）ができる。つまり、活性層と容量配線で挟まれた絶縁膜の厚さは60 nmであり、活性層とゲート電極で挟まれた絶縁膜の厚さは80 nmとなっており、厚さが異なっている。

【0040】厚さ20 nmで絶縁膜（ゲート絶縁膜）を形成した部分だけを残してレジストマスク611で覆い、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含むn型不純物領域（a）612を形成する（図7（A））。n型不純物領域（a）612は、フォスフィン（PH₃）を用いたイオンドープ法（もちろん、イオンインプランテーション法でもよい）で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³（代表的には $2 \times 10^{20} \sim 5 \times 10^{20}$ atoms/cm³）とする。また、n型不純物領域（a）

50

(6)

9

612が形成された領域には、すでに前工程で添加されたボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたボロンの影響は考えなくてよい。

【0041】レジストマスク611を除去し、第一遮光膜からゲート配線にコンタクトをとるための開孔部613を形成する(図7(B))。本実施例では、第一遮光膜がゲート信号線の役割をはたすので、画素部で第一遮光膜とゲート配線をつなぐコンタクトを形成する。

【0042】図示しないが、ゲート配線614として、厚さ50nmの窒化タングステン(WN)と、厚さ350nmのタンタル(Ta)との2層の積層膜を形成する(図7(C))。ゲート配線614は単層の導電膜で形成してもよいが、必要に応じて2層、3層といった積層膜とすることが好ましい。

【0043】なお、ゲート配線614としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を組み合わせた合金膜(代表的には、Mo-W合金、Mo-Ta合金)を用いることができる。

【0044】次に、ゲート配線614をマスクとして自己整合的にn型不純物元素(本実施例ではリン)を添加する(図7(D))。こうして形成されたn型不純物領域(b)615には、前記のチャネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度(代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$)でリンが添加されるように調整する。

【0045】レジストマスク616を形成し、n型不純物元素(本実施例ではリン)を添加して、高濃度にリンを含むn型不純物領域(C)617を形成する(図7(E))。この工程においても、フォスフィン(PH_3)を用いたイオンドープ法(もちろん、イオンインプランテーション法でもよい)で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$)とする。

【0046】また、n型不純物領域(C)617が形成された領域には、すでに前工程で添加されたリンまたはボロンが含まれるが、十分に高い濃度でリンが添加されることになるので、前工程で添加されたリンまたはボロンの影響は考えなくてよい。

【0047】レジストマスク616を除去した後、第四絶縁膜618を形成する(図8(A))。第四絶縁膜618としては、シリコンを含む絶縁膜、具体的には窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜またはそれらを組み合わせた積層膜で形成し、膜厚は600nm~1.5 μm とすればよい。本実施例では、第四絶縁膜618としてプラズマCVD法で SiH_4 、 N_2O 、

10

NH_3 を原料ガスとし、1 μm 厚の窒化酸化シリコン膜(但し窒素濃度が25~50atomic%)を用いる。

【0048】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化するために熱処理工程を行う(図8(A))。この工程はファーンেসアニール法、レーザーアニール法、またはラピッドサーマルアニール(RTA)法で行うことができる。ここでは、ファーンেসアニール法で活性化工程を行う。加熱処理は窒素雰囲気中において300~650℃、好ましくは400~550℃で行う。本実施例では、550℃、4時間の熱処理を行う。

【0049】このように、触媒元素を用いて結晶化を行った場合、非晶質シリコン膜の結晶化に用いた触媒元素(本実施例ではニッケル)が、矢印で示す方向に移動して、前記の図7(E)の工程で形成された高濃度にリンを含むn型不純物領域(C)617に捕獲(ゲッタリング)される。これは、リンによる金属元素のゲッタリング効果に起因する現象であり、この結果、チャネル領域619は前記触媒元素の濃度が $1 \times 10^{17} \text{ atoms/cm}^3$ 以下(好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下)となる。

【0050】また、触媒元素のゲッタリングサイトとなった領域(図7(E)の工程で形成されたn型不純物領域(C)617)は高濃度に触媒元素が偏析して、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以上(代表的には $1 \times 10^{19} \sim 5 \times 10^{20} \text{ atoms/cm}^3$)の濃度となる。

【0051】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、活性層を水素化する工程を行う。この工程は熱的に励起された水素により、半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行ってもよい。

【0052】その後、TFETのソース・ドレイン領域に達する開孔部620(図8(B))、ソース・ドレイン配線621を形成する(図8(C))。また、図示していないが、本実施例ではこの配線を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜で形成した。

【0053】次に、パッシベーション膜622として、窒化シリコン膜、酸化シリコン膜、または窒化酸化シリコン膜で50~500nm(代表的には200~300nm)の厚さで形成する(図8(D))。この時、本実施例では膜の形成に先立って H_2 、 NH_3 等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行う。この前処理により励起された水素が第四絶縁膜618中に供給される。この状態で熱処理を行うことで、パッシベーション膜622の膜質を改善するとともに、第

(7)

11.

四絶縁膜618中に添加された水素が下方側に拡散するため、効果的に活性層を水素化することができる。

【0054】また、パッシベーション膜622を形成した後に、さらに水素化工程を行ってもよい。例えば、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行うとよい。あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、この工程において、後に画素電極とソース・ドレイン配線を接続するための開孔部を形成する位置において、パッシベーション膜622に開孔部を形成しておいてもよい。

【0055】その後、有機樹脂からなる第五絶縁膜623を約1μmの厚さに形成する(図8(D))。有機樹脂としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが上げられる。なお、本発明は、上述した以外の有機樹脂膜や有機系SiO化合物などあらゆる材料を用いることができる。本実施例では、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0056】次に、第五絶縁膜623及びパッシベーション膜622にソース・ドレイン配線621に達する開孔部624を形成し、画素電極625を形成する(図8(D、E))。画素電極625は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用い、ここでは透過型の液晶表示装置とするために、酸化インジウム・スズ(ITO)膜を110nmの厚さにスパッタ法で形成する。

【0057】こうして画素部には、表示領域627の面積を確保しつつ、nチャネル型TFTでなる画素TFT領域626が形成され、十分な保持容量を得ることができる。

【0058】なお、本実施例では形成しなかったが、結晶質シリコン膜606に、公知の方法を用いてLDD領域を形成してもよい。なお、本明細書において、LDD領域とは、低濃度不純物領域(Light-Doped-Drain領域)を指す。また、結晶質シリコン膜606には公知の方法を用いて、オフセット領域を形成してもよい。なお、本明細書において、オフセット領域とは、ゲート電極からずらして不純物元素を打ち込んだ領域のことを指す。

【0059】[実施例2]本実施例では、実施例1で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図9に示すように、図8(E)の状態の基板に対し、配向膜901を形成する。本実施例では配向膜としてポリイミド膜を用いた。また、対向基板905には、透明導電膜で

12

対向電極904を、そして配向膜903を形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0060】配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ(共に図示せず)などを介して貼りあわせる。その後、両基板の間に液晶902を注入し、封止剤(図示せず)によって完全に封止する。液晶には公知の液晶材料を用い、このようにして図9に示すアクティブマトリクス型液晶表示装置が完成する。

【0061】次に、このアクティブマトリクス型液晶表示装置の構成を、図10の斜視図を用いて説明する。

尚、図10は、図6～図9の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、ガラス基板600上に形成された画素部1001と、ゲート信号駆動回路1003と、データ(ソース)信号駆動回路1002で構成される。画素TFT1008はnチャネル型TFTであり、周辺に設けられる駆動回路はCMOS回路を基本として構成されている。ゲート信号駆動回路1003と、データ信号駆動回路1002はそれぞれゲート配線614とソース・ドレイン配線621(ソース信号線)で画素部1001に接続されている。また、FPC1004が接続された入力端子1005から駆動回路の入出力端子までの接続配線1006、1007が設けられている。

【0062】なお、本実施例は、実施例1と自由に組み合わせることが可能である。

【0063】[実施例3]本実施例では、本発明を用いてEL(エレクトロルミネセンス)表示装置を作製した例について説明する。なお、図11は本発明のEL表示装置の上面図であり、図12はその断面図である。

【0064】図11、12において、4001は基板、4002は画素部、4003はソース信号駆動回路、4004はゲート信号駆動回路であり、それぞれの駆動回路は接続配線4005を経てFPC(フレキシブルプリントサーキット)4006に至り、外部機器へと接続される。

【0065】このとき、画素部4002、ソース信号駆動回路4003及びゲート信号駆動回路4004を囲むようにして第1シール材4101、カバー材4102、充填材4103及び第2シール材4104が設けられている。

【0066】図12は、図11をA-A'で切断した断面図に相当し、基板4001の上にソース信号駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示している)4201及び画素部4002に含まれる画素TFT(但

(8)

13

し、ここではEL素子への電流を制御するTF Tを图示している) 4202が形成されている。

【0067】本実施例では、本発明の容量素子構造を用いて画素TF T 4202が作製される。すなわち、画素TF T 4202には図8 (E) と同じ構造のTF Tが用いられる。

【0068】駆動TF T 4201及び画素TF T 4202の上には樹脂材料でなる層間絶縁膜(平坦化膜) 4301が形成され、その上に画素TF T 4202のソース・ドレイン領域の一方と電氣的に接続する画素電極4302が形成される。画素電極4302としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物または酸化インジウムと酸化亜鉛との化合物を用いることができる。

【0069】そして、画素電極4302の上には絶縁膜4303が形成され、絶縁膜4303は画素電極4302の上に開口部が形成されている。この開口部において、画素電極4302の上にはEL層4304が形成される。EL層4304は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0070】EL層4304の形成方法は公知の技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0071】EL層4304の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4305が形成される。また、陰極4305とEL層4304の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、EL層4304を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4305を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0072】そして陰極4305は4306で示される領域において接続配線4005に電氣的に接続される。接続配線4005は陰極4305に所定の電圧を与えるための配線であり、導電性材料4307を介してFPC 4006に電氣的に接続される。

【0073】以上のようにして、画素電極4302、EL層4304及び陰極4305からなるEL素子が形成される。このEL素子は、第1シール材4101によって基板4001に貼り合わされたカバー材4102で囲まれ、充填材4103により封入されている。

【0074】なお、本明細書において、EL素子(発光素子)は一对の電極(陽極と陰極)間にEL層(有機化合物層)が挟まれた構造とする。有機化合物層は、公知

14

の発光材料を用いて作製することが出来る。また、有機化合物層には、単層構造と積層構造の二つの構造があるが、本発明はどちらの構造を用いてもよい。なお、有機化合物層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と、三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明はどちらの発光を用いた発光装置にも適用することが出来る。

【0075】カバー材4102としては、ガラス板、金属板(代表的にはステンレス板)、セラミックス板、FRP(Fiberglass Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0076】但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0077】また、充填材4103としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4103の内部に吸湿性物質(好ましくは酸化バリウム)を設けておくとEL素子の劣化を抑制できる。

【0078】また、充填材4103の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極4305上に樹脂膜を設けることも有効である。

【0079】また、接続配線4005は導電性材料4307を介してFPC 4006に電氣的に接続される。接続配線4005は画素部4002、ソース信号駆動回路4003及びゲート信号駆動回路4004に送られる信号をFPC 4006に伝え、FPC 4006により外部機器と電氣的に接続される。

【0080】また、本実施例では第1シール材4101の露呈部及びFPC 4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図12の断面構造を有するEL表示装置となる。なお、本実施例のEL表示装置は実施例1の構成と組み合わせて作製しても構わない。

【0081】なお、本実施例は、実施例1乃至実施例2と自由に組み合わせることが可能である。

(9)

15

【0082】[実施例4]本実施例では、トランジスタの下部に設けた下部遮光膜に加えて、上部遮光膜を設けた表示装置の断面構造について、図14を用いて説明する。

【0083】図14において、1910は絶縁表面を有する基板である。基板1910には、ガラス基板や石英基板等を用いることが出来る。基板1910上には遮光膜1906が設けられる。なお、遮光膜1906は、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を組み合わせた合金膜を公知の方法で形成する。また遮光膜1906は、トランジスタを遮光する機能を有する。

【0084】次いで、遮光膜1906上に、第一絶縁膜1911が設けられ、該第一絶縁膜1911上に、半導体膜1907が設けられる。なお、本実施例では、第一絶縁膜1911として酸化シリコン膜を300nmの厚さに形成した。また、半導体膜1907は、公知の材料を用いて公知の方法で形成した。

【0085】次いで、半導体膜1907上にゲート絶縁膜1912が設けられる。そして、ゲート絶縁膜1912上には、ゲート電極1908と容量配線1909が設けられる。なお、本実施例において、遮光膜1906と、半導体膜1907と、容量配線1909との重なっている領域が保持容量に相当する。

【0086】1913は第二絶縁膜である。本実施例では、第二絶縁膜1913として酸化シリコン膜を形成した。そして、ゲート絶縁膜1912及び第二絶縁膜1913にはコンタクトホールが形成され、ソース配線1917及びドレイン配線1918が設けられる。

【0087】1914は第三絶縁膜である。本実施例では、第三絶縁膜1913として酸化シリコン膜を形成した。第三絶縁膜1913上には、公知の材料を用いて形成された上部遮光膜1916が設けられている。上部遮光膜1916は、公知の材料を用いて形成され、トランジスタを遮光する機能を有する。

【0088】1920は第四絶縁膜である。次いで、第三絶縁膜1914及び第四絶縁膜1920にコンタクトホールが形成され、画素電極1919が設けられる。

【0089】図14に示すように、画素電極1919は、ドレイン配線1918と電氣的に接続されている。なお、本実施例においては、画素電極1919は、ドレイン配線1918と接続されているが、本発明はこれに限定されず、ソース配線1917と接続されていてもよい。なお、画素電極に接続されたソース領域及びドレイン領域の一方は、他方よりも広い面積を有する。

【0090】1901は配向膜である。本実施例では配向膜1901としてポリイミド膜を用いた。また、対向基板1905には、透明導電膜で対向電極1904と、配向膜1903を形成する。なお、対向基板1905に

16

は必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0091】配向膜1903を形成した後は、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ（共に図示せず）などを介して貼りあわせる。その後、両基板の間に液晶1902を注入し、封止剤（図示せず）によって完全に封止する。液晶1902は公知の液晶材料を用いれば良い。このようにして図14に示すアクティブマトリクス型液晶表示装置が完成する。

【0092】なお、本実施例は、実施例1乃至実施例3と自由に組み合わせることが可能である。

【0093】[実施例5]本発明のアクティブマトリクス型表示装置は電気器具の表示部として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図13に示す。

【0094】図13(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示部2004、操作スイッチ2005、アンテナ2006で構成される。本発明のアクティブマトリクス型表示装置は表示部2004に用いることができる。

【0095】図13(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明のアクティブマトリクス型表示装置は表示部2102に用いることができる。

【0096】図13(C)はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205で構成される。本発明のアクティブマトリクス型表示装置は表示部2205に用いることができる。

【0097】図13(D)はゴーグル型ディスプレイであり、本体2301、表示部2302、アーム部2303で構成される。本発明のアクティブマトリクス型表示装置は表示部2302に用いることができる。

【0098】図13(E)はリアプロジェクター（プロジェクションTV）であり、本体2401、光源2402、液晶表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は液晶表示装置2403に

(10)

17

用いることができる。

【0099】図13 (F) はフロントプロジェクターであり、本体2501、光源2502、液晶表示装置2503、光学系2504、スクリーン2505で構成される。本発明は液晶表示装置2503に用いることができる。

【0100】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に適用することが可能である。また、本実施例の電気器具は実施例1～4のどのような組み合わせからなる構成を用いても実現することが

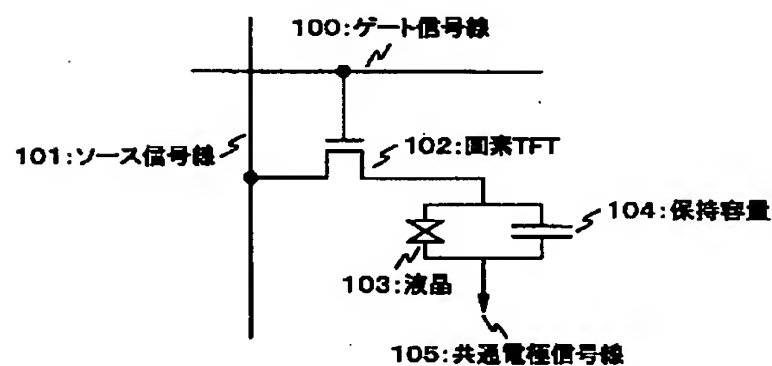
【0101】

【発明の効果】本発明を用いた保持容量を有するアクティブマトリクス型表示装置を作製すれば、1画素の面積が縮小しても、遮光膜を用いて十分な保持容量が確保できるため、表示品位を向上できる。同時に、本発明を用いたアクティブマトリクス型表示装置を表示部として用いた電気器具の品質をも向上させることができる。

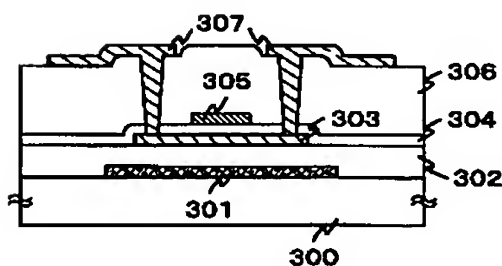
【0102】

【図面の簡単な説明】

【図1】



【図3】



300:ガラス基板
301:遮光膜
302:第一絶縁膜
303:活性層
304:ゲート絶縁膜(第二絶縁膜)
305:ゲート配線(第一配線)
306:第三絶縁膜
307:第二配線

18

【図1】 アクティブマトリクス型液晶表示装置の1画素の等価回路を示す図。

【図2】 従来の保持容量構造を示す断面図。

【図3】 画素TFTの下部に遮光膜を備えた図

【図4】 本発明における保持容量の構造を示す図。

【図5】 本発明における保持容量の構造を示す図。

【図6】 実施例1の画素部の作製工程を示す図。

【図7】 実施例1の画素部の作製工程を示す図。

【図8】 実施例1の画素部の作製工程を示す図。

【図9】 アクティブマトリクス型液晶表示装置の断面図。

【図10】 アクティブマトリクス型液晶表示装置の斜視図。

【図11】 アクティブマトリクス型EL表示装置の構成を示す図。

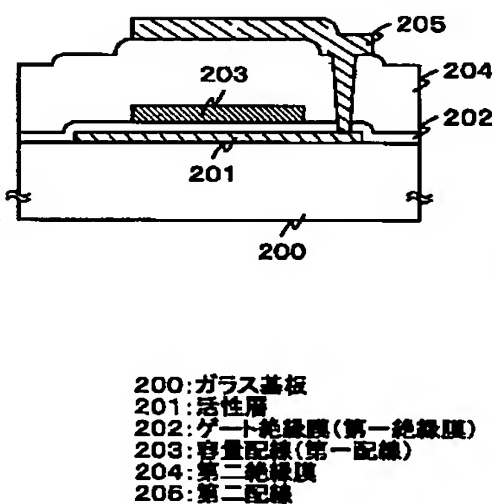
【図12】 アクティブマトリクス型EL表示装置の構成を示す断面図。

【図13】 電気器具の一例を示す図。

【図14】 アクティブマトリクス型表示装置の断面

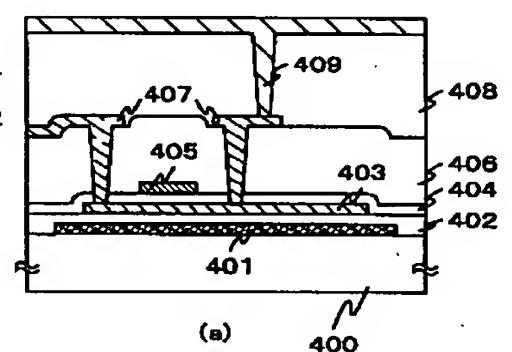
20 図。

【図2】



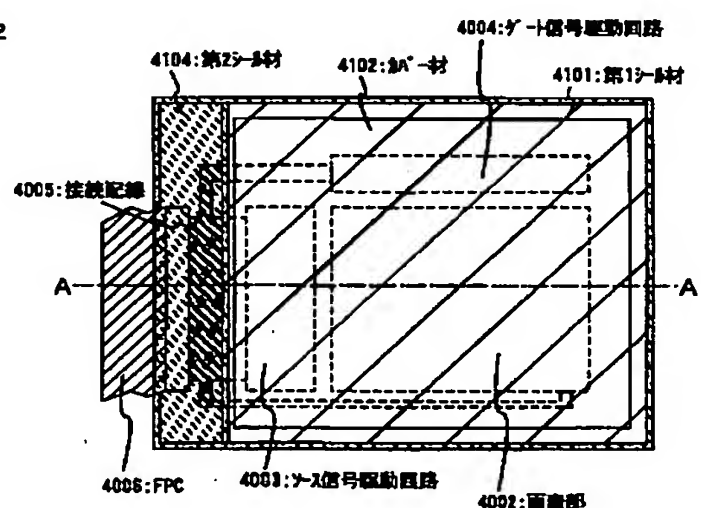
200:ガラス基板
201:活性層
202:ゲート絶縁膜(第一絶縁膜)
203:容量配線(第一配線)
204:第二絶縁膜
205:第二配線

【図4】



400:ガラス基板
401:遮光膜
402:誘電体(第一絶縁膜)
403:活性層
404:ゲート絶縁膜(第二絶縁膜)
405:ゲート配線(第一配線)
406:第三絶縁膜
407:第二配線
408:第四絶縁膜
409:画素電極
410:容量配線(第一配線)

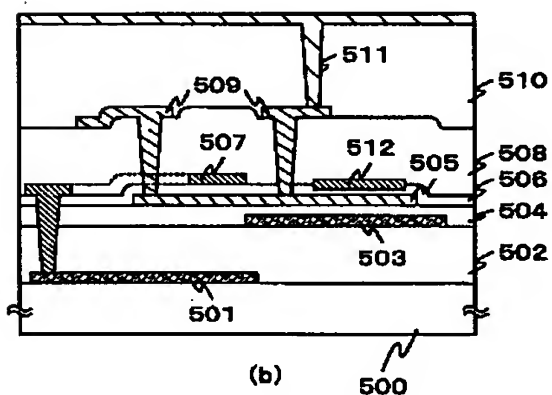
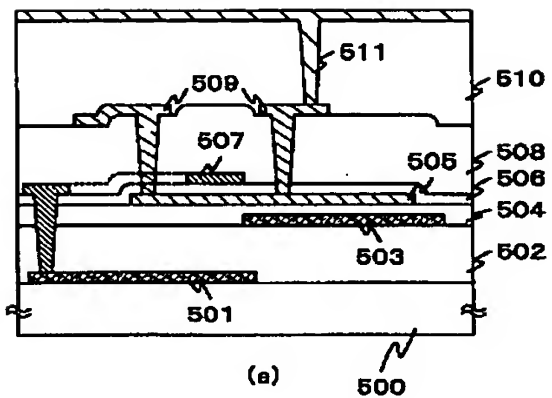
【図11】



400:ガラス基板
401:遮光膜
402:誘電体(第一絶縁膜)
403:活性層
404:ゲート絶縁膜(第二絶縁膜)
405:ゲート配線(第一配線)
406:第三絶縁膜
407:第二配線
408:第四絶縁膜
409:画素電極
410:容量配線(第一配線)

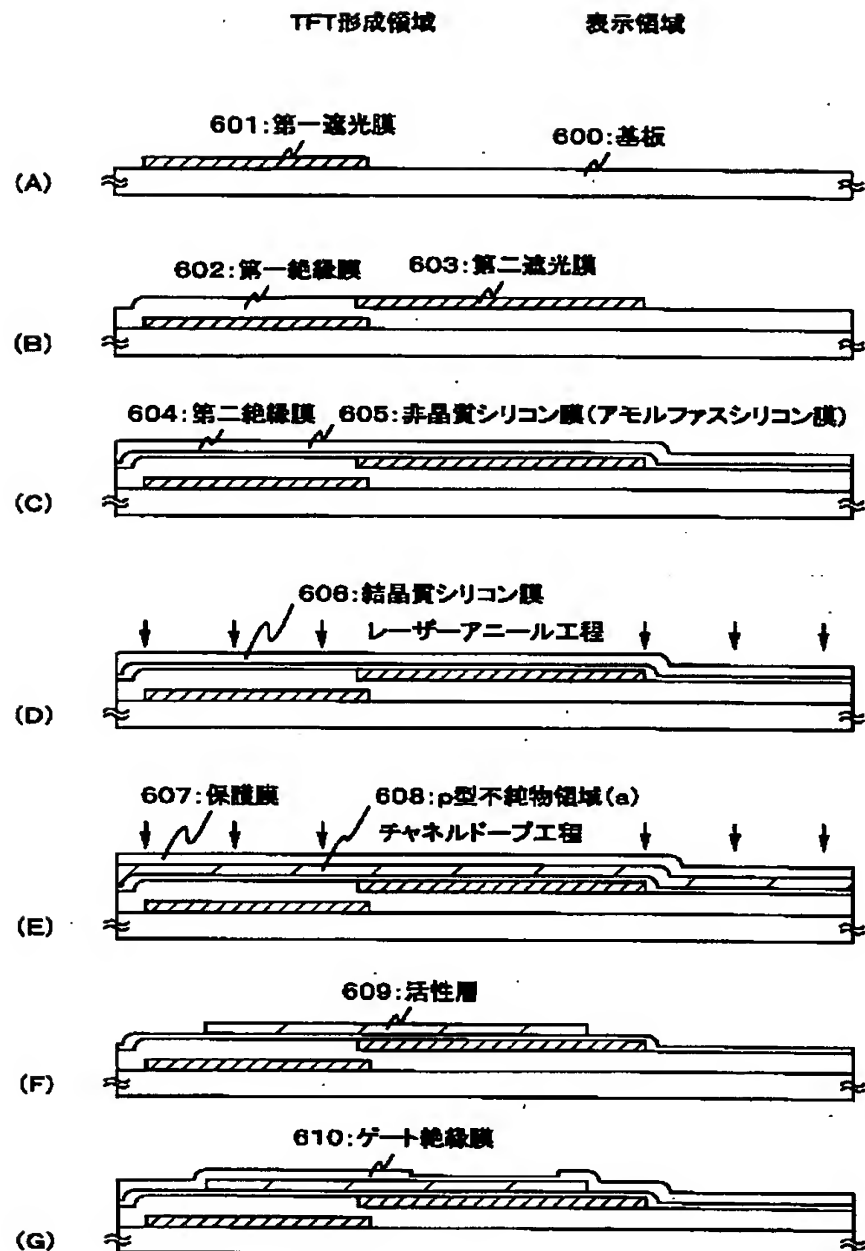
(11)

【図5】

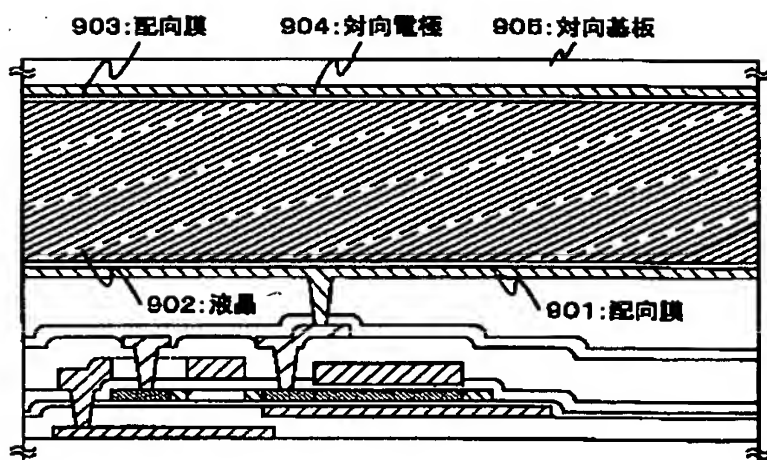


500: ガラス基板
501: 第一遮光膜
502: 第一絶縁膜
503: 第二遮光膜
504: 第二絶縁膜
505: 活性層
506: ゲート絶縁膜(第三絶縁膜)
507: ゲート配線(第一配線)
508: 第四絶縁膜
508: 第二配線
510: 第五絶縁膜
511: 画素電極
512: 容量配線(第一配線)

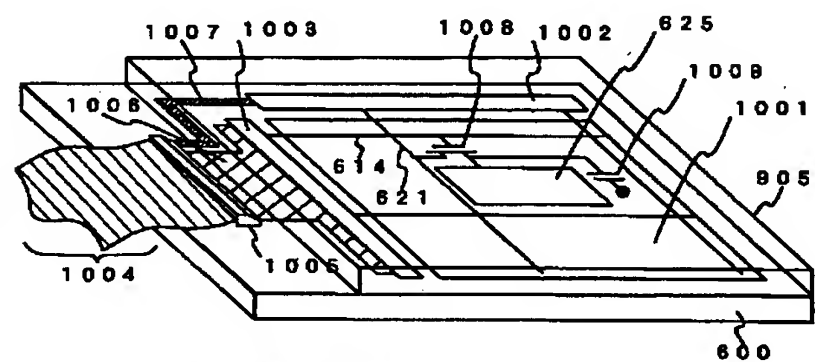
【図6】



【図8】



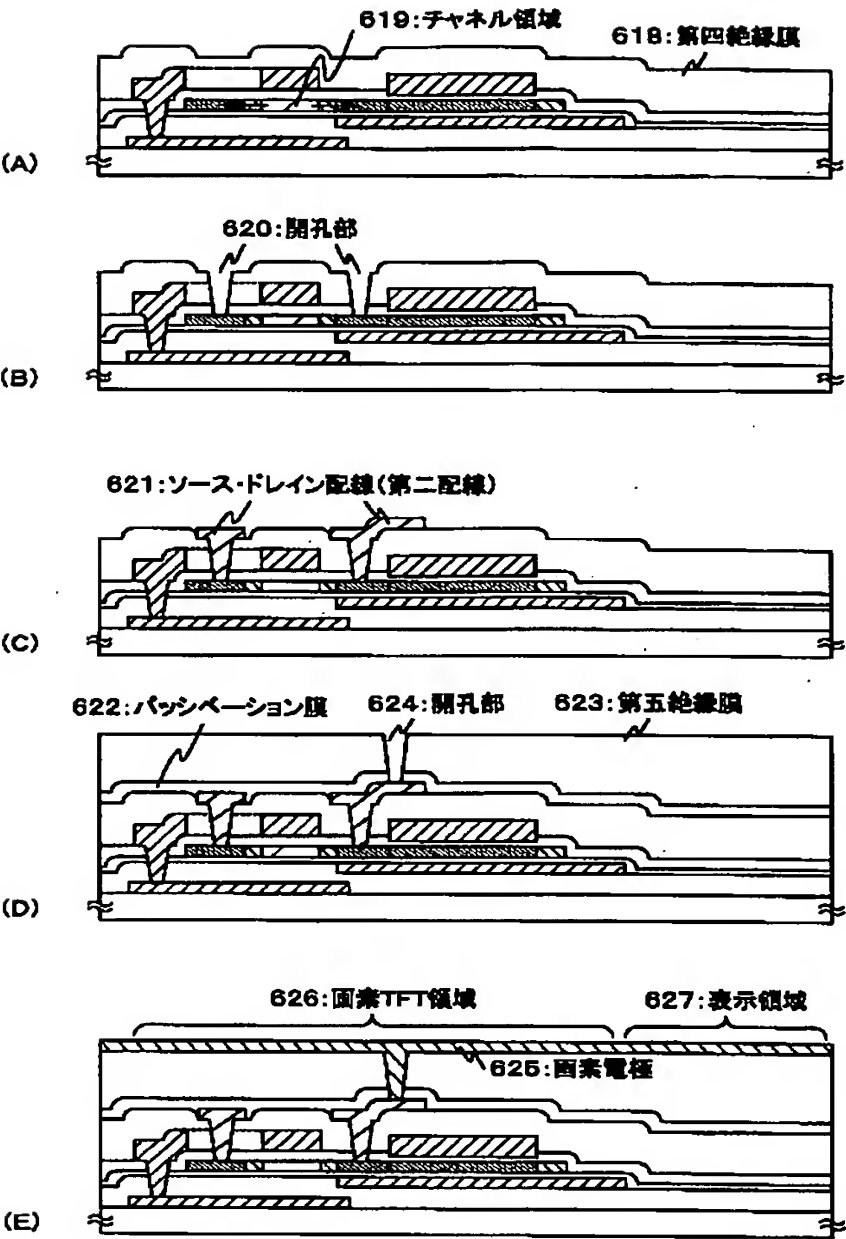
【図9】



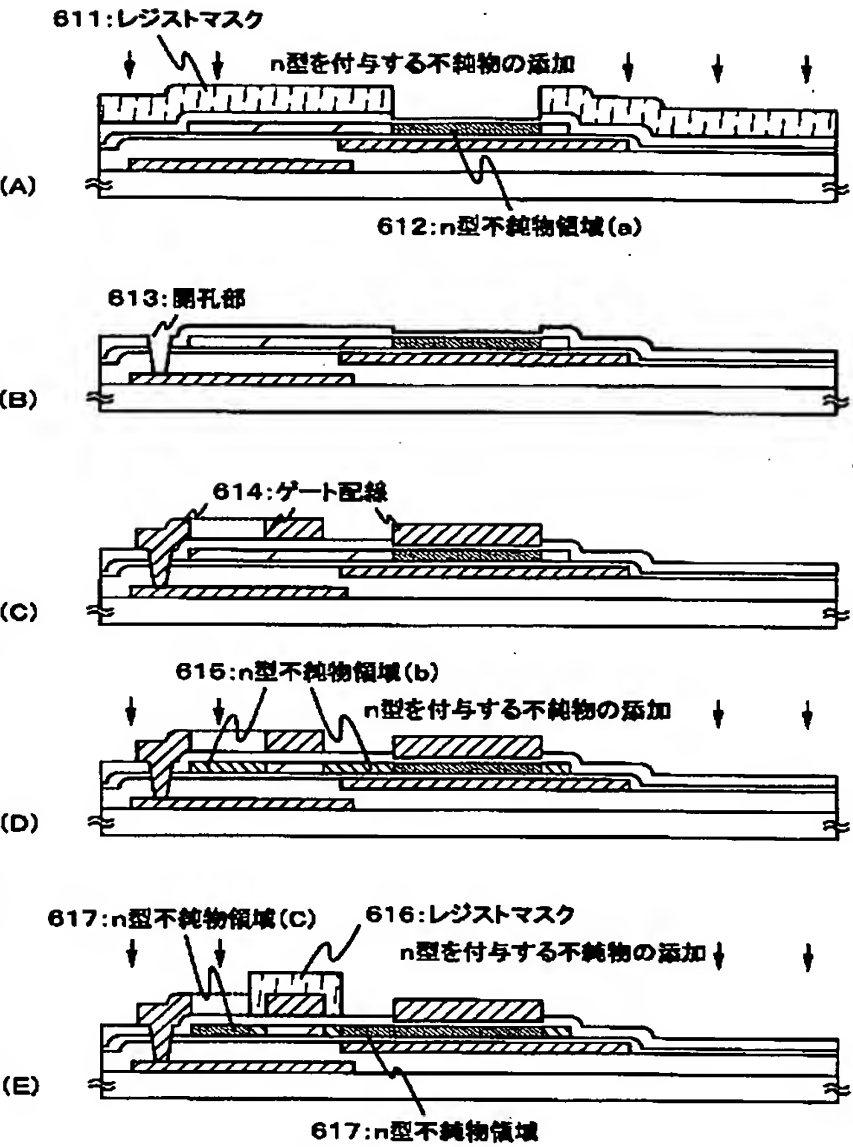
600: 基板
614: ゲート配線
621: ソース・ドレイン配線
625: 画素電極
905: 対向基板
1001: 画素部
1002: データ信号駆動回路
1003: ゲート信号駆動回路
1004: FPC
1005: 入力端子
1006, 1007: 接触配線
1008: 画素TFT
1009: 保持容量

(12)

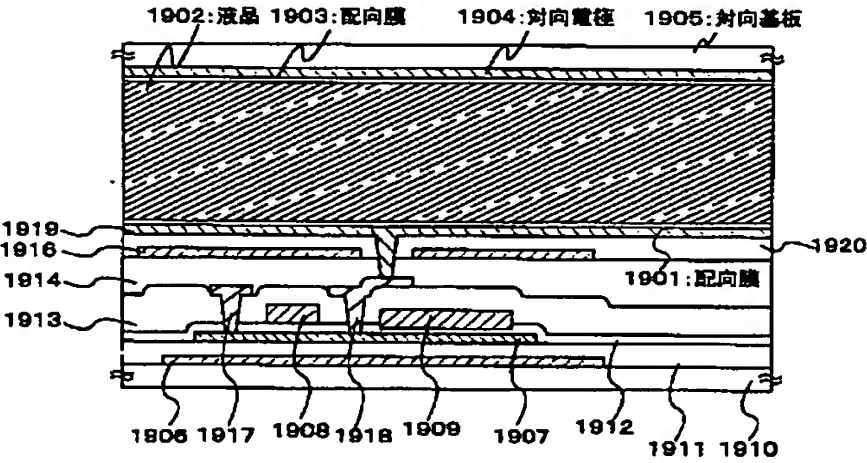
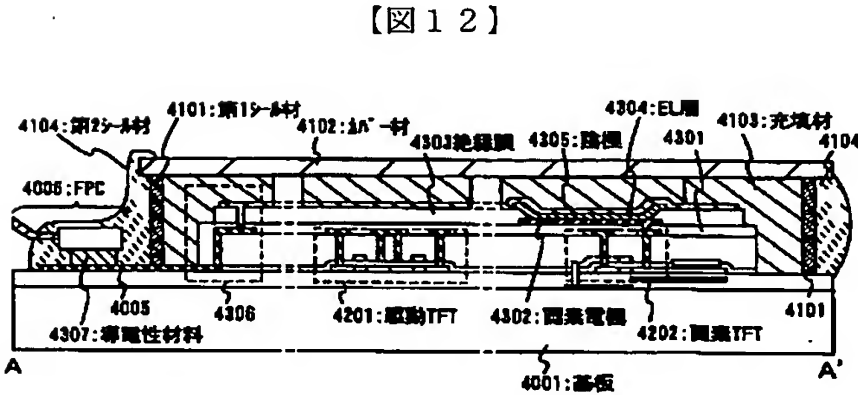
【図 7】



【図 10】

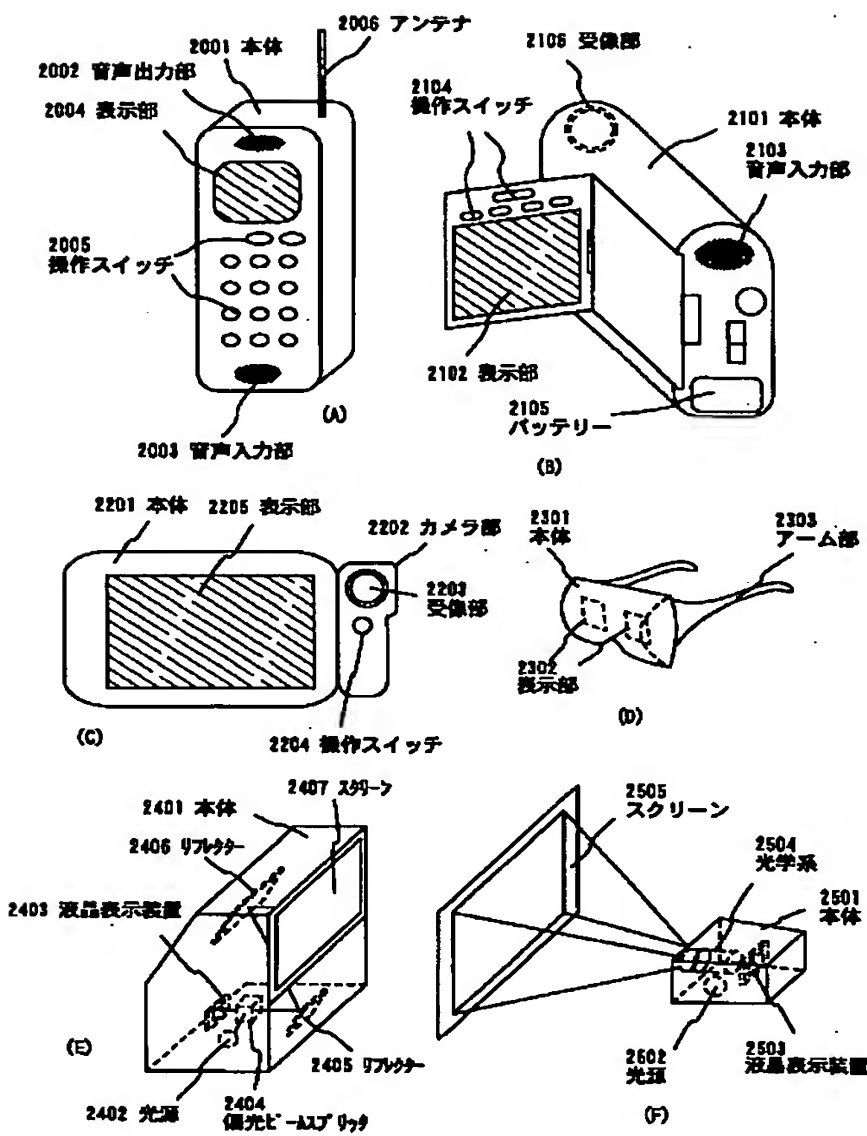


【図 14】



(13)

【図13】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テーマコード (参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 Z
H 0 5 B 33/14			6 1 9 B

(72) 発明者 石川 明
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(14)

F ターム (参考) 2H092 HA06 JA24 JB56 JB58 JB64
KA04 KA05 KA07 KB25 MA29
MA30 NA01 NA07 PA09 RA05
RA10
3K007 AB02 AB11 AB17 BA06 BB05
BB07 CB01 DA01 DB03 EA01
EB00 GA04
5C094 AA05 AA10 AA15 AA43 AA48
AA53 BA03 BA27 BA43 CA19
CA25 DA13 DB01 DB04 EA04
EA05 EA10 EB02 ED14 ED15
FA01 FA02 FB12 FB14 FB15
GB10 HA08 HA10 JA08
5F110 AA30 BB02 BB04 CC02 DD01
DD02 DD03 DD05 DD13 DD14
DD15 DD17 EE01 EE04 EE06
EE09 EE14 FF04 FF09 FF30
GG01 GG02 GG13 GG25 GG32
GG34 GG42 GG43 GG52 HJ01
HJ04 HJ12 HJ23 HL04 HL06
HL12 HL23 HM12 HM14 HM15
NN03 NN04 NN22 NN23 NN24
NN27 NN35 NN42 NN44 NN45
NN46 NN48 NN72 NN73 PP01
PP02 PP03 PP34 PP35 QQ11
QQ24 QQ25 QQ28

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.